

超低功耗、12 位、1-MSPS、SAR ADC

1 特性

- 超低功耗 SAR ADC:
 - 1 MSPS 和 1.8V AVDD 时为 243 μ W
 - 1 MSPS 和 3V AVDD 时为 720 μ W
 - 100 kSPS 和 3V AVDD 时为 78 μ W
 - 1 kSPS 和 3V AVDD 时低于 1 μ W
- 1MSPS 吞吐量且零延迟
- 宽工作范围:
 - AVDD: 1.65 V 到 3.6 V
 - DVDD: 1.65 V 到 3.6 V (与 AVDD 无关)
 - 温度范围: -40°C 至 125°C
- 出色的性能:
 - 12 位分辨率且无丢码 (NMC)
 - 3V AVDD 时信噪比为 68 dB (典型值)
 - 3 V AVDD 时总谐波失真为 -79 dB (典型值)
- 单极输入范围: 0V 至 AVDD
- 集成失调校准
- 串行外设接口 (SPI)[™]- 兼容串口: 16MHz
- 符合 JESD8-7A 标准的数字 I/O

2 应用

- 低功耗数据采集
- 电池供电类手持设备
- 液位传感器
- 超声波流量计
- 电机控制
- 可穿戴健身器
- 便携式医疗设备
- 硬盘
- 血糖仪

3 概述

RS1461LP 是一款 12 位、1MSPS、模数转换器 (ADC)。该器件支持较宽的模拟输入电压范围 (1.65V 到 3.6V)，并包含一个基于电容且内置采样保持电路的逐次逼近寄存器 (SAR) ADC。串行外设接口 (SPI) 兼容串口由 $\overline{CS}$ 和 SCLK 信号控制。输入信号在 $\overline{CS}$ 下降沿进行采样，SCLK 用于转换和串行数据输出。此器件支持宽范围的数字电源 (1.65V 至 3.6V)，可直接连接到各类主机控制器。RS1461LP 符合 JESD8-7A 标准的标称 DVDD 范围 (1.65V 至 1.95V)。

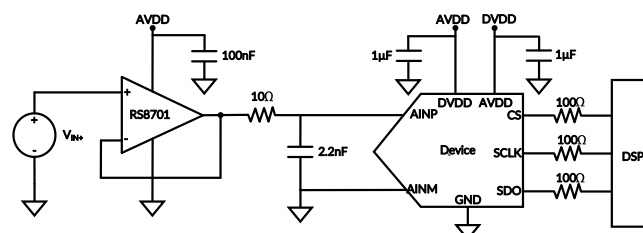
RS1461LP 采用 VSSOP8 封装，额定工作温度范围为 -40°C 至 125°C。此器件尺寸微小且功耗极低，非常适合空间受限类电池供电应用。

器件信息 (1)

型号	封装	封装尺寸 (标称值)
RS1461LP	VSSOP8	2.30 mm × 2.00 mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。

典型应用



目录

1 特性.....	1
2 应用.....	1
3 概述.....	1
4 修订历史.....	3
5 封装和订单说明 ⁽¹⁾	4
6 引脚定义和功能.....	5
7 规格.....	6
7.1 绝对最大额定参数.....	6
7.2 ESD 等级.....	6
7.3 推荐工作条件.....	6
7.4 典型电气参数.....	7
7.5 时序特性.....	9
7.6 典型参数曲线.....	10
8 参数测量信息.....	15
8.1 数字电压电平.....	15
9 详细说明.....	16
9.1 概述.....	16
9.2 功能框图.....	16
9.3 特性说明.....	17
9.3.1 基准源.....	17
9.3.2 模拟输入.....	17
9.3.3 ADC 传递函数.....	18
9.3.4 串行接口.....	19
9.4 器件功能模式.....	20
9.4.1 失调校准.....	20
10 应用与设计.....	23
11 电源建议.....	24
11.1 AVDD 与 DVDD 电源建议.....	24
11.2 数字功耗估算.....	24
11.3 优化设备功耗.....	24
12 PCB 版图设计.....	25
12.1 PCB 布局设计注意事项.....	25
12.2 PCB 布局示例.....	25
13 封装规格尺寸.....	26
14 包装规格尺寸.....	27

4 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2026/08/07	初始版

Preliminary version

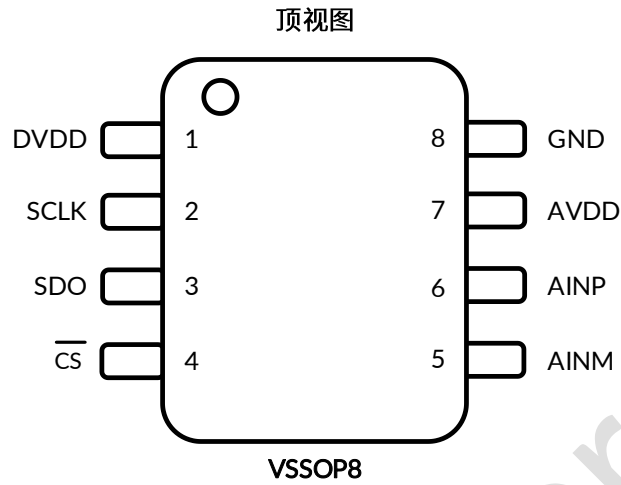
5 封装和订单说明⁽¹⁾

订单型号	封装类型	工作温度(°C)	丝印 ⁽²⁾	MSL ⁽³⁾	包装规格
RS1461LPXVS8	VSSOP8	-40°C ~+125°C	1461	MSL1	Tape and Reel, 3000

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) Runic 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 Runic 技术支持联系。

6 引脚定义和功能



引脚功能

引脚名称	引脚	类型	功能说明
DVDD	1	电源	数字 I/O 供电电压
SCLK	2	数字输入	串行时钟
SDO	3	数字输出	串行数据输出
$\overline{CS}$	4	数字输入	片选信号，低电平有效
AINM	5	模拟输入	模拟信号输入，负向
AINP	6	模拟输入	模拟信号输入，正向
AVDD	7	电源	模拟电源输入，同时为 ADC 提供基准电压
GND	8	电源	电源接地，所有模拟及数字信号均连接至该引脚

7 规格

7.1 绝对最大额定参数

在自然通风温度范围内（除非特别注明）⁽¹⁾

	最小值	最大值	单位
AVDD to GND	-0.3	3.9	V
DVDD to GND	-0.3	3.9	V
AINP to GND	-0.3	AVDD + 0.3	V
AINM to GND	-0.3	0.3	V
数字输入电压至 GND	-0.3	DVDD + 0.3	V
结至环境热阻 ⁽²⁾ , θ_{JA}	VSSOP8	205	°C/W
储存温度, T_{stg}	-60	150	°C

(1) 这里只表示产品在测试条件下得到的极限值，并不表示产品在这些条件下或者其他超出规格限定的参数条件下能够正常工作，超过上述绝对最大额定值所规定的范围将对产品造成损害，无法预测产品在上述条件外的工作状态。如果产品长期在上述条件外的条件下工作，可能影响产品性能。

(2) 封装热阻抗根据 JEDEC-51 标准计算。

7.2 ESD 等级

以下 ESD 信息仅针对在防静电保护区内操作的敏感设备。

	标称值	单位
$V_{(ESD)}$ 静电放电	人体模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 规范 ⁽¹⁾ 带电器件模型 (CDM), 符合 JEDEC specification JESD22-C101 规范 ⁽²⁾	± 2000 ± 1000 V

(1) JEDEC 文件 JEP155 指出，500V HBM 允许使用标准 ESD 控制过程进行安全制造。

(2) JEDEC 文件 JEP157 指出，250V CDM 允许使用标准 ESD 控制过程进行安全制造。



ESD 灵敏性警告

ESD 损坏的范围可以从细微的性能下降到完全的设备失效。精密集成电路可能更容易受到损坏，因为非常小的参数变化有可能导致器件不符合其公布的参数规格。

7.3 推荐工作条件

在自然通风温度范围内（除非特别注明）

	最小值	最大值	单位
AVDD 模拟电源电压范围	1.65	3.6	V
DVDD 数字电源电压范围	1.65	3.6	V
T_A 工作环境空气温度	-40	125	°C

7.4 典型电气参数

在 $T_A = -40^{\circ}\text{C}$ 至 125°C , $AVDD = 3\text{ V}$, $DVDD = 1.65\text{ V}$ 至 3.6 V , $f_{\text{SAMPLE}} = 1\text{ MSPS}$, 和 $V_{\text{AINM}} = 0\text{ V}$, 除非特别注明。

参数			测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
模拟输入							
	全量程输入电压范围 ⁽¹⁾			0		AVDD	V
	绝对输入电压范围		AINP to GND	-0.1		AVDD+0.1	V
AINM to GND			-0.1		0.1	V	
C _s	采样电容				15		pF
系统性能							
	分辨率				12		Bits
NMC	无失码			12			Bits
INL	积分非线性		AVDD = 3 V		±1.2		LSB ⁽²⁾
AVDD = 1.8 V				±1.8			
DNL	微分非线性		AVDD = 3 V		-0.9/1.1		LSB
AVDD = 1.8 V				-0.98/1.2			
E _o	失调误差	未校准	AVDD = 1.65 V to 3.6 V		±12		LSB
		已校准 ⁽³⁾	AVDD = 3V		±1		
			AVDD = 1.8 V		±2		
dV _{os} /dT	失调误差温漂				±3		ppm/°C
E _G	增益误差		AVDD = 3 V		±0.1		%FS
			AVDD = 1.8 V		±0.05		
	增益误差温漂				±3		ppm/°C
采样动态							
t _{ACQ}	采样时间			200			ns
	最大吞吐率		16-MHz SCLK, AVDD = 1.65 V to 3.6 V			1	MHz
动态特性							
SNR	信噪比 ⁽⁴⁾		f _{IN} = 2 kHz, AVDD = 3 V		68		dB
			f _{IN} = 2 kHz, AVDD = 1.8 V		66		dB
THD	总谐波失真 ⁽⁴⁾⁽⁵⁾		f _{IN} = 2 kHz, AVDD = 3 V		-79		dB
SINAD	信纳比 ⁽⁴⁾		f _{IN} = 2 kHz, AVDD = 3 V		67.5		dB
			f _{IN} = 2 kHz, AVDD = 1.8 V		65.5		dB
SFDR	无杂散动态范围 ⁽⁴⁾		f _{IN} = 2 kHz, AVDD = 3 V		80		dB

(1) 理想输入范围；不包含增益或失调误差。

(2) LSB 表示最低有效位。

(3) 有关更多详情，请参阅“失调量校准”章节。

(4) 所有以分贝 (dB) 为单位的规格均指全量程输入值 (FSR)，除非另有说明，否则均采用比全量程低 0.5 dB 的输入信号进行测试。

(5) 基于输入频率的前九个谐波计算得出。

典型电气参数（续）

在 $T_A = -40^{\circ}\text{C}$ 至 125°C , $\text{AVDD} = 3\text{ V}$, $\text{DVDD} = 1.65\text{ V}$ 至 3.6 V , $f_{\text{SAMPLE}} = 1\text{ MSPS}$, 和 $V_{\text{AINM}} = 0\text{ V}$, 除非特别注明。

参数		测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
数字输入/输出 (CMOS 逻辑系列)						
V _{IH}	高电平输入电压 ⁽⁶⁾	-40°C ≤ T _A ≤ 125°C	0.65 DVDD		DVDD+0.3	V
V _{IL}	低电平输入电压 ⁽⁶⁾	-40°C ≤ T _A ≤ 125°C	-0.3		0.35 DVDD	V
V _{OH}	高电平输出电压 ⁽⁶⁾	At I _{SOURCE} = 500 μA	0.8 DVDD		DVDD	V
		At I _{SOURCE} = 2 mA	DVDD-0.45		DVDD	
V _{OL}	低电平输出电压 ⁽⁶⁾	At I _{SINK} = 500 μA	0		0.2 DVDD	V
		At I _{SINK} = 2 mA	0		0.45	
电源要求						
AVDD	模拟电源电压		1.65	3	3.6	V
DVDD	数字 I/O 电源电压		1.65	3	3.6	V
I _{AVDD}	模拟电源电流	At 1 MSPS with AVDD = 3 V		240		μA
		At 100 kSPS with AVDD = 3 V		26		
		At 1 MSPS with AVDD = 1.8 V		135		μA
P _D	功耗	At 1 MSPS with AVDD = 3 V		720		μW
		At 100 kSPS with AVDD = 3 V		78		μW
		At 1 MSPS with AVDD = 1.8 V		243		

(6) 数字电压电平符合 JESD8-7A 标准（适用于 DVDD 值范围为 1.65 V 至 1.95 V）；如需了解更多详情，请参阅“数字电压电平”章节。

7.5 时序特性

所有规格均适用于 $T_A = -40^{\circ}\text{C}$ 至 125°C 、 $AVDD = 1.65\text{ V}$ 至 3.6 V 、 $DVDD = 1.65\text{ V}$ 至 3.6 V 且 C_{LOAD} on SDO = 20 pF ，除非特别注明。

参数	测试条件	最小值	典型值	最大值	单位
时序规格					
$f_{\text{THROUGHPU}}$	吞吐量			1	MSPS
t_{CYCLE}	周期时间	1			μs
t_{CONV}	转换时间	$12.5 \times t_{\text{SCLK}} + t_{\text{SU_CSCK}}$			ns
$t_{\text{DV_CSDO}}$	延迟时间: $\overline{\text{CS}}$ 下降沿至数据使能		10		ns
$t_{\text{D_CKDO}}$	延迟时间: SCLK 下降沿至 DOUT (下一) 数据有效, $AVDD = 1.8\text{ V to }3.6\text{ V}$		30		ns
	延迟时间: SCLK 下降沿至 DOUT (下一) 数据有效, $AVDD = 1.65\text{ V to }1.8\text{ V}$		20		ns
$t_{\text{DZ_CSDO}}$	延迟时间: $\overline{\text{CS}}$ 上升沿至 DOUT 进入三态		25		ns
时序要求					
t_{ACQ}	采样时间	200			ns
f_{SCLK}	SCLK 频率	0.016		16	MHz
t_{SCLK}	SCLK 周期	62.5			ns
$t_{\text{PH_CK}}$	SCLK 高电平时间	0.45		0.55	t_{SCLK}
$t_{\text{PL_CK}}$	SCLK 低电平时间	0.45		0.55	t_{SCLK}
$t_{\text{PH_CS}}$	$\overline{\text{CS}}$ 高电平时间		30		ns
$t_{\text{SU_CSCK}}$	设置时间: $\overline{\text{CS}}$ 下降沿至 SCLK 下降沿		10		ns
$t_{\text{D_CKCS}}$	延迟时间: 最后 SCLK 下降沿至 CS 上升沿		15		ns

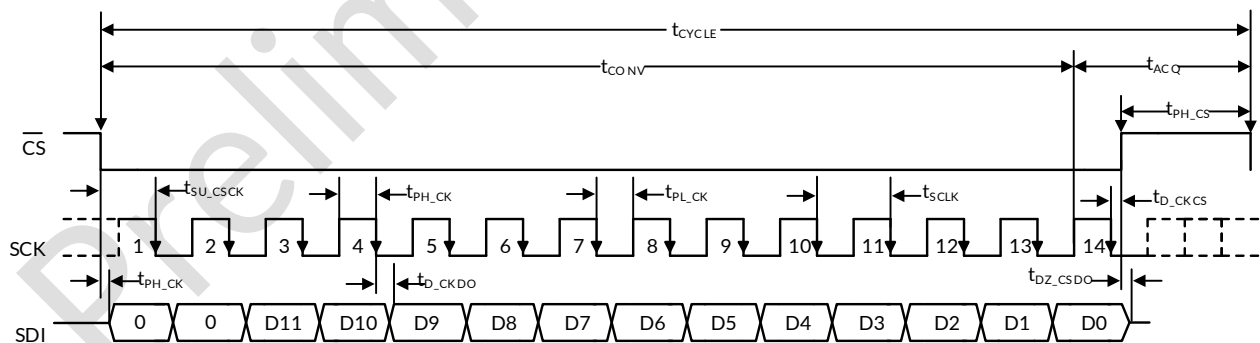


图 1. 时序图

7.6 典型参数曲线

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

在 $T_A = 25^\circ\text{C}$, $AVDD = 3\text{ V}$, $DVDD = 1.8\text{ V}$, 和 $f_{\text{SAMPLE}} = 1\text{ MSPS}$, 除非特别注明。

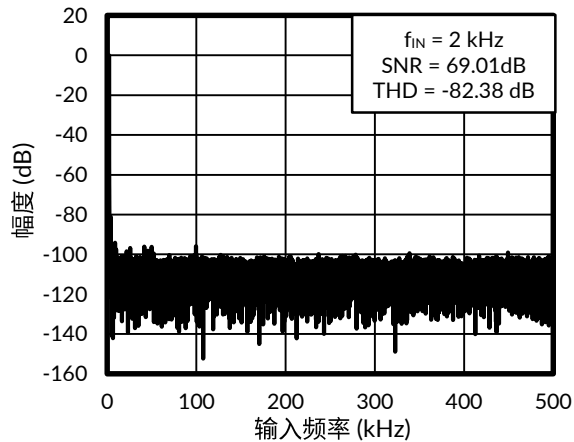


图 2. 典型 FFT

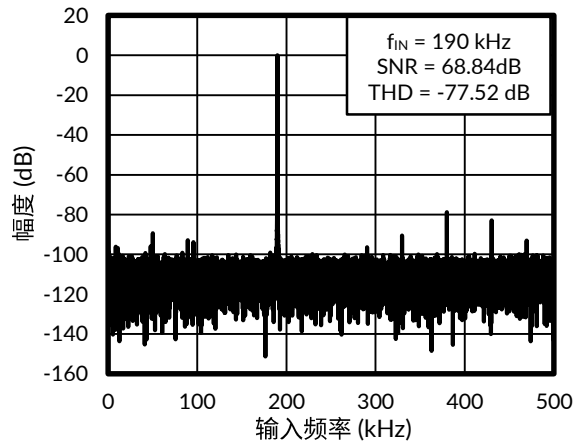


图 3. 典型 FFT

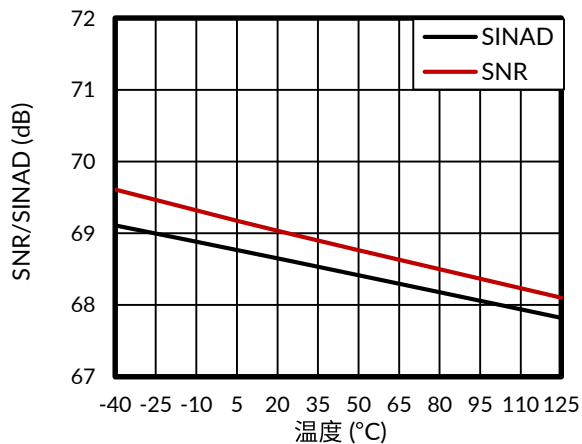


图 4. SNR 和 SINAD 与温度的关系

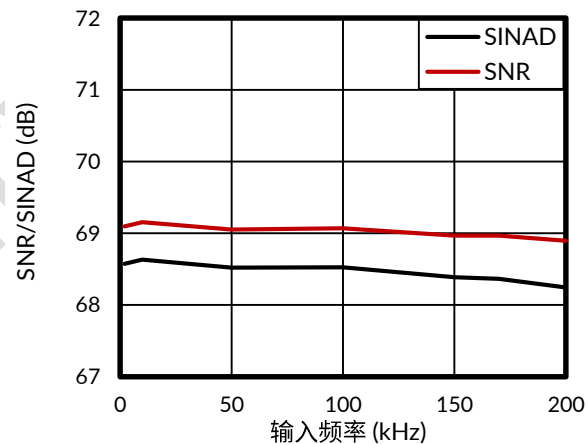


图 5. SNR 和 SINAD 与输入频率的关系

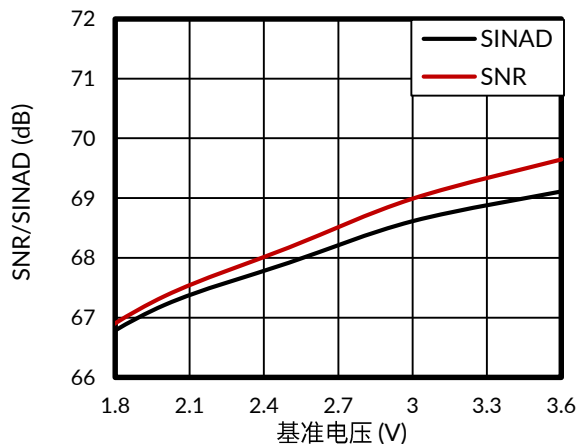


图 6. SNR 和 SINAD 与基准电压的关系 (AVDD)

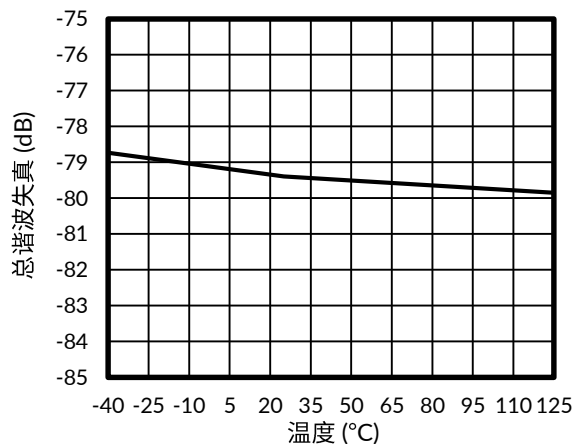


图 7. THD 与温度的关系

典型参数曲线 (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

在 $T_A = 25^\circ\text{C}$, $AVDD = 3\text{ V}$, $DVDD = 1.8\text{ V}$, 和 $f_{\text{SAMPLE}} = 1\text{ MSPS}$, 除非特别注明。

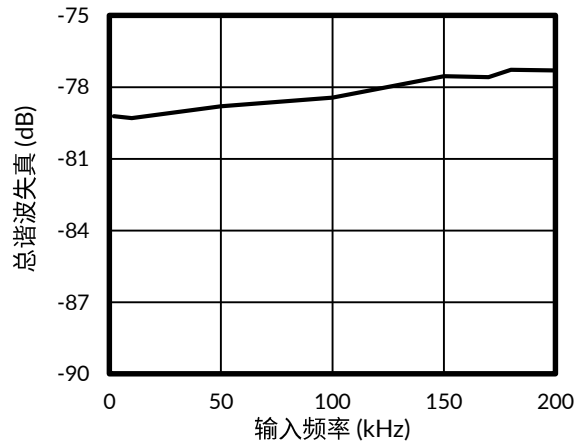


图 8. THD 与输入频率的关系

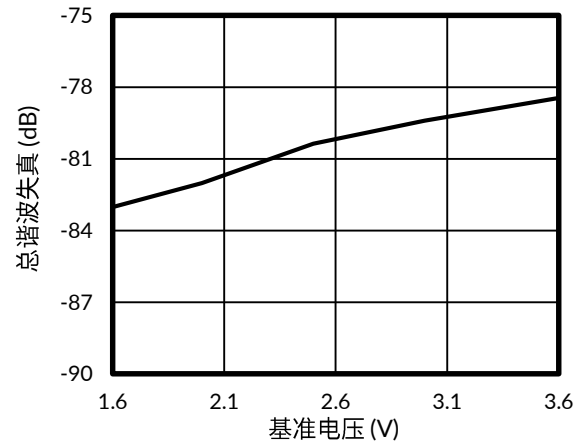


图 9. THD 与基准电压的关系 (AVDD)

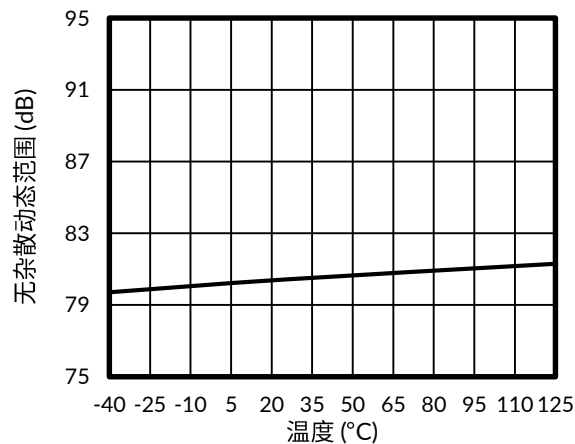


图 10. SFDR 与温度的关系

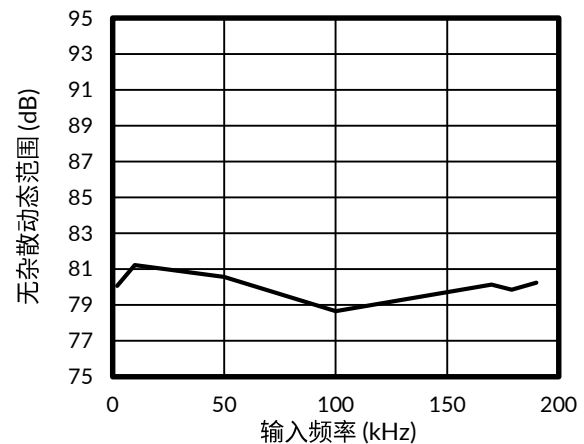


图 11. SFDR 与输入频率的关系

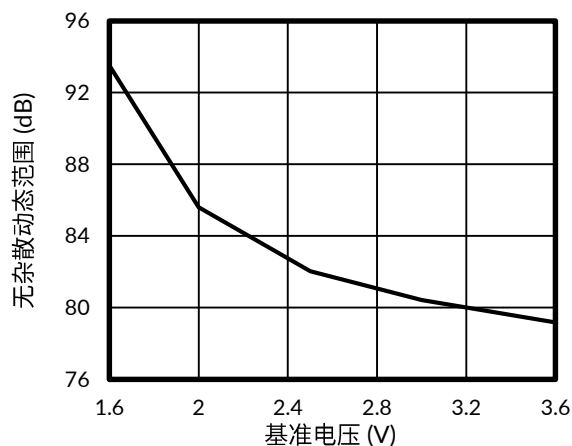


图 12. SFDR 与基准电压的关系 (AVDD)

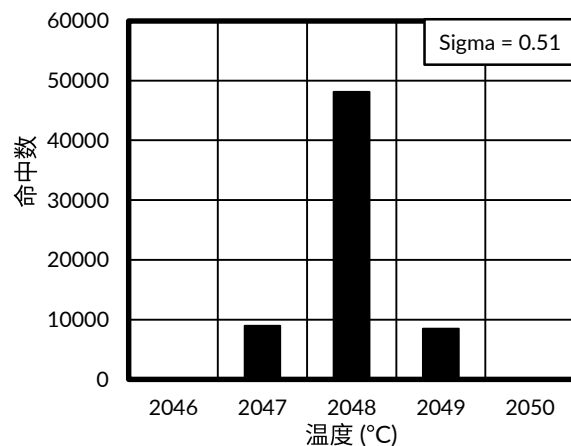


图 13. 直流输入直方图

典型参数曲线 (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

在 $T_A = 25^\circ\text{C}$, $AVDD = 3\text{ V}$, $DVDD = 1.8\text{ V}$, 和 $f_{\text{SAMPLE}} = 1\text{ MSPS}$, 除非特别注明。

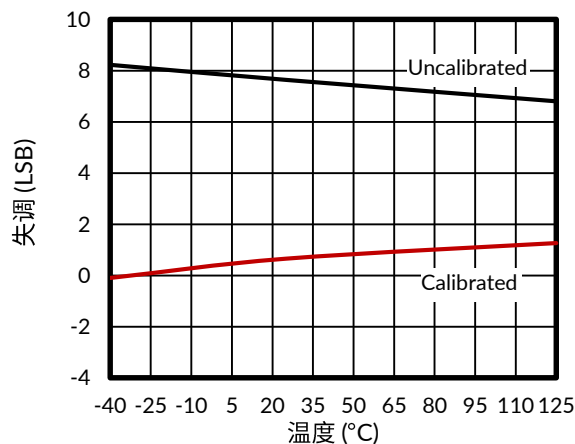


图 14. 失调与温度的关系

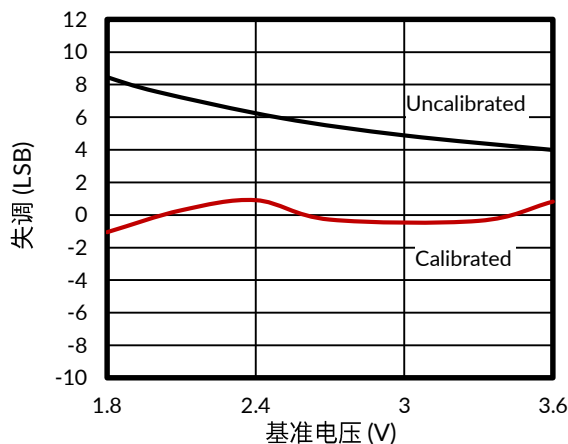


图 15. 失调与基准电压的关系 (AVDD)

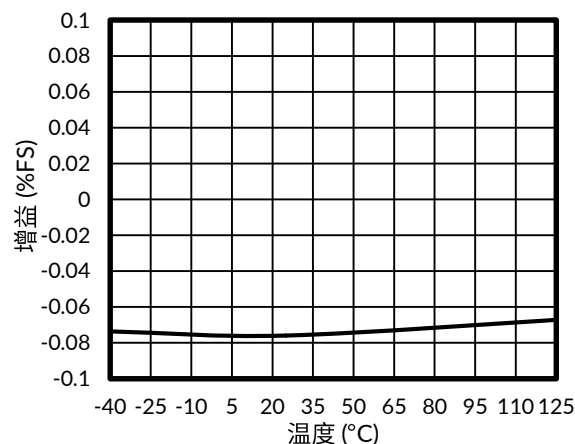


图 16. 增益误差与温度的关系

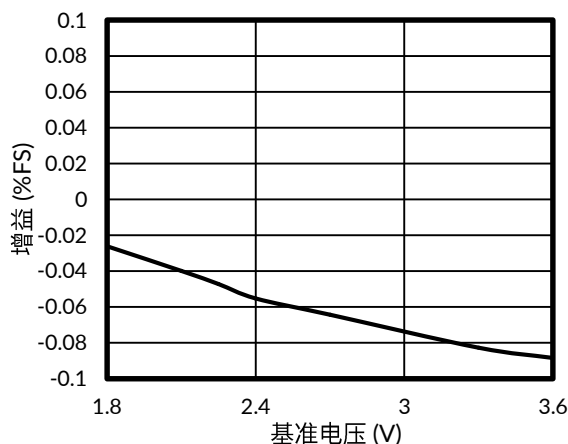


图 17. 增益误差与基准电压的关系 (AVDD)

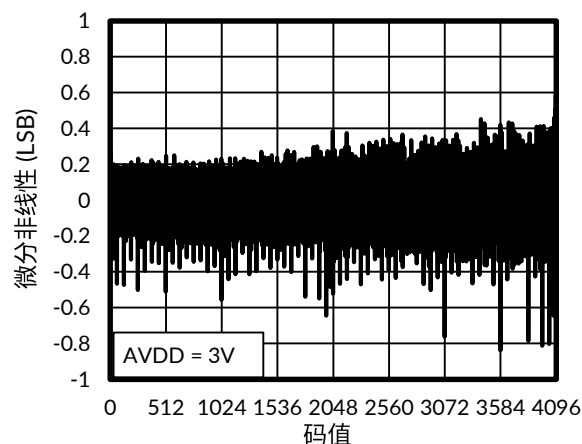


图 18. 典型 DNL

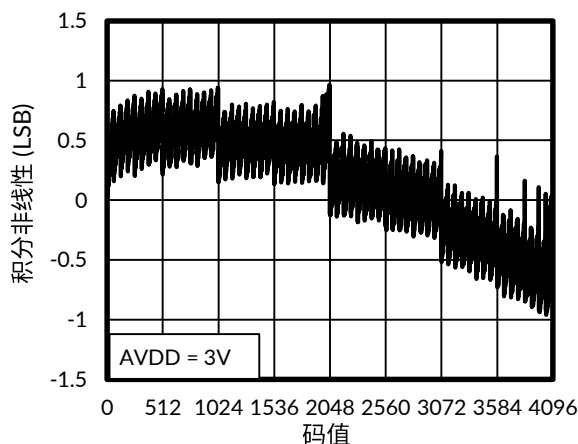


图 19. 典型 INL

典型参数曲线 (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

在 $T_A = 25^\circ\text{C}$, $AVDD = 3\text{ V}$, $DVDD = 1.8\text{ V}$, 和 $f_{\text{SAMPLE}} = 1\text{ MSPS}$, 除非特别注明。

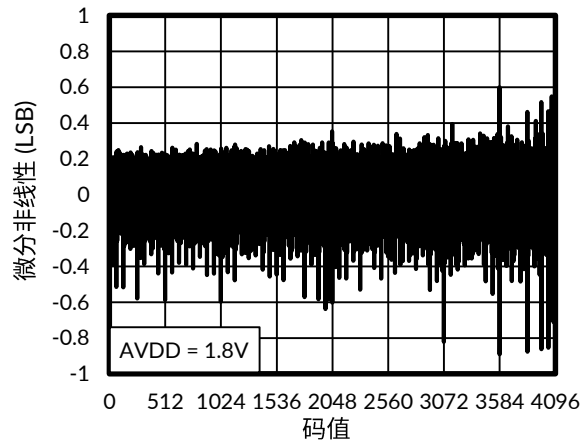


图 20. 典型 DNL

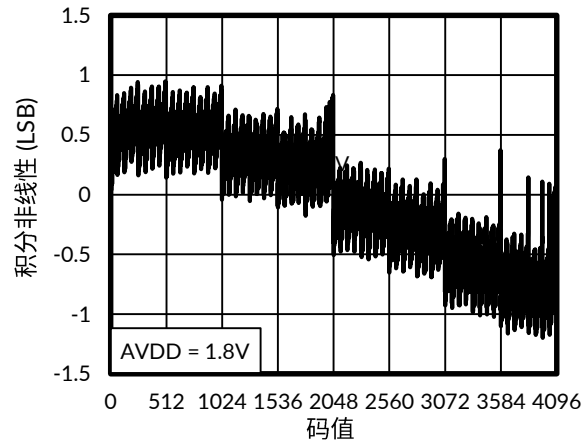


图 21. 典型 INL

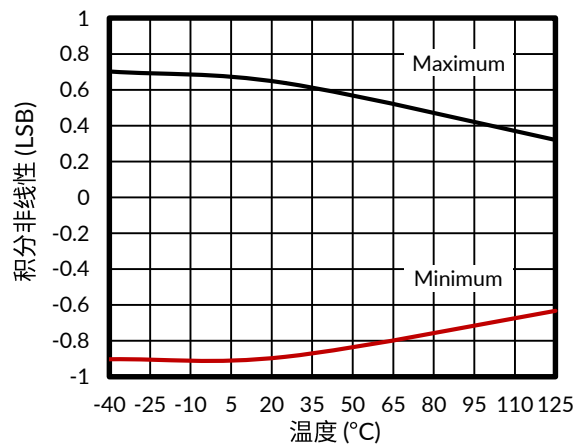


图 22. DNL 与温度的关系

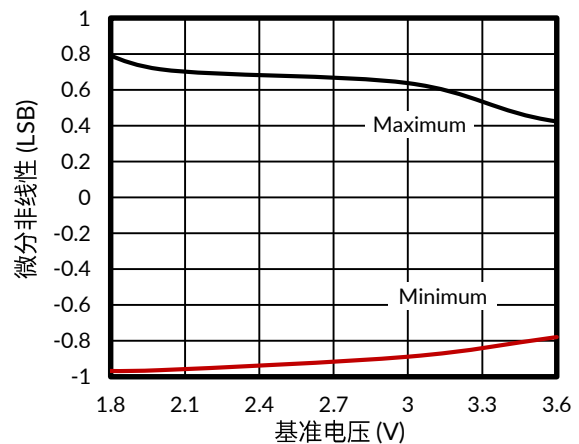


图 23. DNL 与基准电压的关系 (AVDD)

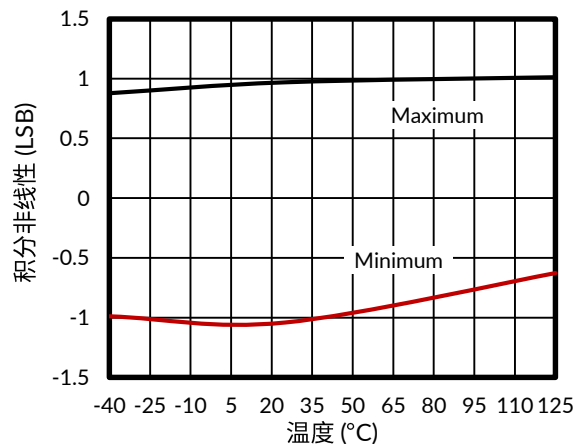


图 24. INL 与温度的关系

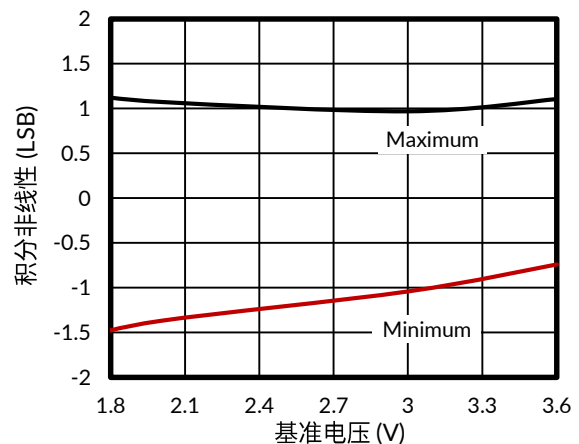


图 25. INL 与基准电压的关系 (AVDD)

典型参数曲线 (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

在 $T_A = 25^\circ\text{C}$, $AVDD = 3\text{ V}$, $DVDD = 1.8\text{ V}$, 和 $f_{\text{SAMPLE}} = 1\text{ MSPS}$, 除非特别注明。

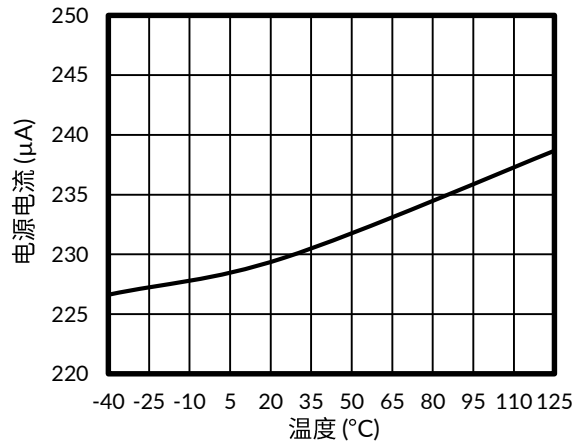


图 26. AVDD 电源电流与温度的关系

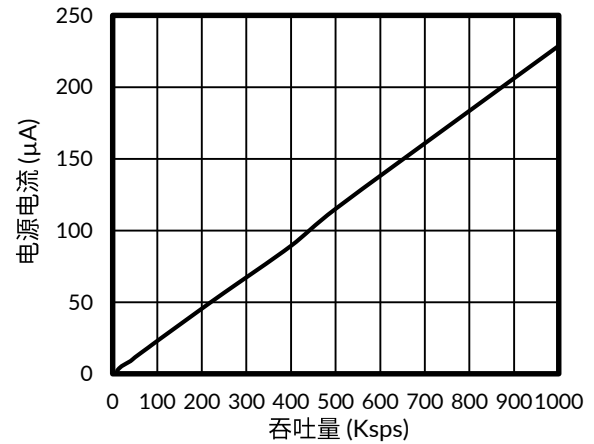


图 27. AVDD 电源电流与吞吐量的关系

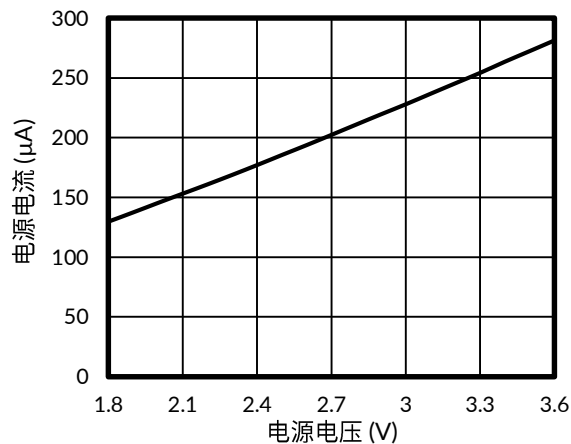


图 28. AVDD 电源电流与 AVDD 电压的关系

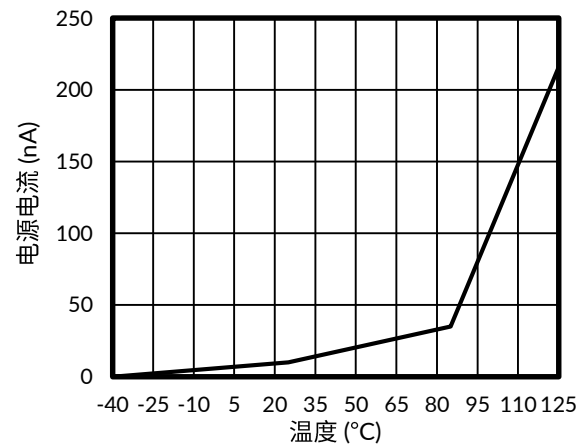


图 29. AVDD 静态电流与温度的关系

8 参数测量信息

8.1 数字电压电平

该器件符合 JESD8-7A 标准，适用于 DVDD 值为 1.65 V 至 1.95 V 的情况。图 30 显示了数字输入与输出引脚的电压电平。

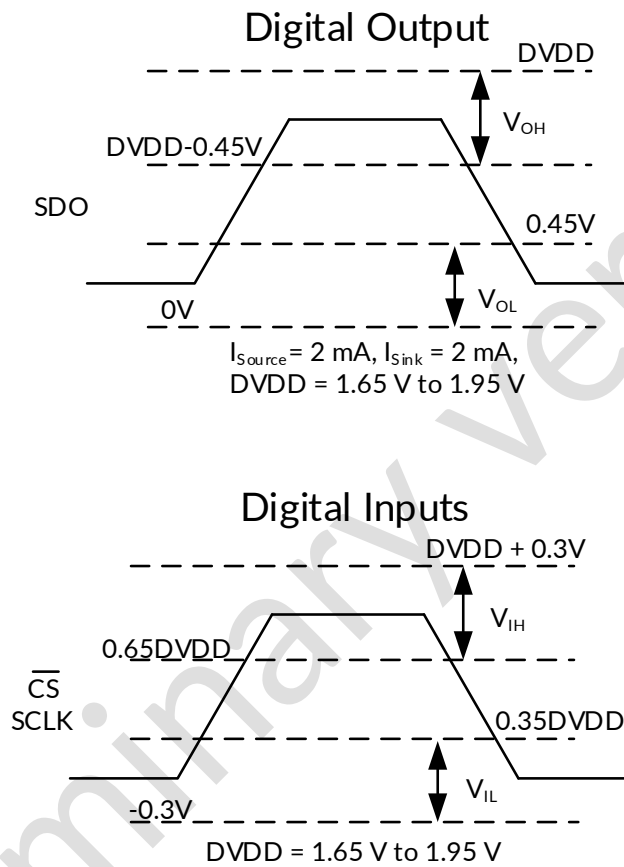


图 30. 符合 JESD8-7A 标准的数字电压电平

9 详细说明

9.1 概述

RS1461LP 是一款超低功耗、超小型模数转换器（ADC），支持宽模拟输入范围。该器件的模拟输入范围由其 AVDD 电源电压决定。当 $\overline{CS}$ 引脚出现下降沿时，器件会对输入电压进行采样并启动转换过程；而提供在 SCLK 引脚上的时钟信号则用于控制转换及数据传输。在转换期间，AINP 和 AINM 引脚均与采样电路断开连接；待转换完成后，采样电容重新连接至 AINP 和 AINM 引脚之间，此时 RS1461LP 进入采样阶段。

该设备支持内部失调校准功能。用户可在设备通电时或在正常运行期间启动此校准操作；如需了解更多详情，请参阅“失调校准”章节。

该设备还提供一个与主机控制器连接的简单串行接口，且可在多种类型的数字电源环境下正常运行。RS1461LP 仅需 16 MHz 的 SCLK 频率即可支持 1 MSPS 的数据传输速率；其数字接口亦符合 JESD8-7A（常规范围）标准。“功能框图”章节提供了该设备的功能模块框图。

9.2 功能框图

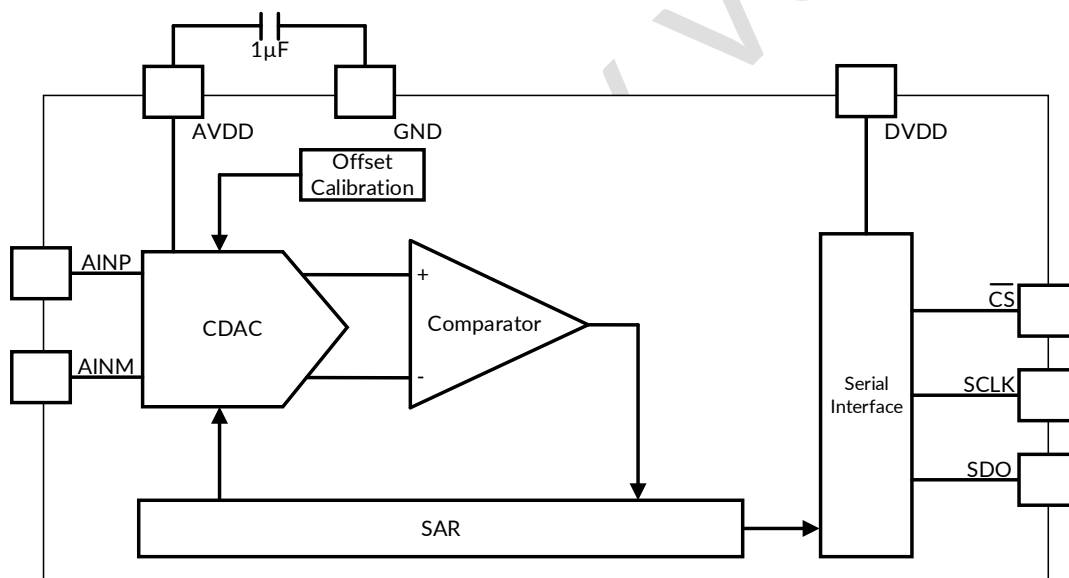


图 31. 器件参考

9.3 特性说明

9.3.1 基准源

该器件将模拟电源电压（AVDD）作为基准电压，如图 31 所示。RS 建议使用一个电容值为 $1\ \mu\text{F}$ 、等效串联电阻（ESR）较低的陶瓷电容器对 AVDD 引脚进行去耦。为 AVDD 提供供电时所需的最小电容值为 $200\ \text{nF}$ 。AVDD 引脚充当向供电源提供的开关电容负载；该去耦电容器可提供内部电路所需的瞬时电荷，并有助于维持 AVDD 引脚上的稳定直流电压。RS 建议采用输出阻抗低且噪声低的稳压器为 AVDD 引脚供电。

9.3.2 模拟输入

该器件支持单端模拟输入。ADC 对 AINP 与 AINM 之间的电压差进行采样并将其转换为相应电压值。该器件可接收范围为 $-100\ \text{mV}$ 至 $100\ \text{mV}$ 的 AINM 输入信号，适用于传感器或信号调理模块距离 ADC 较远的系统场景。在此类情况下，传感器或信号调理模块的地电位与 ADC 地电位之间可能存在差异；此时应使用独立导线将传感器或信号调理模块的地线连接至 AINM 引脚。AINP 输入端可接收 $0\ \text{V}$ 至 AVDD 的信号。图 32 展示了采样阶段对应的等效模拟输入电路。该电路包含一个低通滤波器，随后是采样开关和采样电容。采样开关由一个 R_s （典型值为 $50\ \Omega$ ）电阻与理想开关串联构成， C_s （典型值为 $15\ \text{pF}$ ）为采样电容。ESD 二极管连接于两个模拟输入端至 AVDD 及地端。

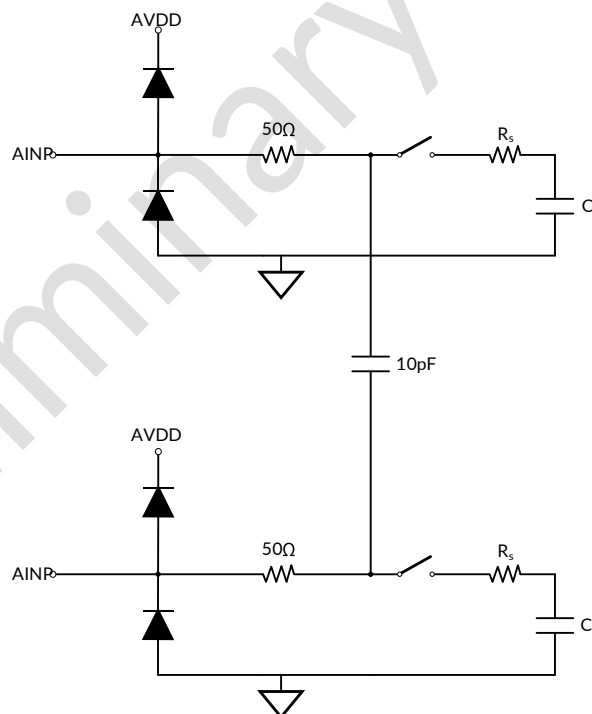


图 32. 采样阶段等效输入电路

模拟输入满量程范围（FSR）等于模数转换器（ADC）的基准电压。该器件的基准电压等于其模拟电源电压（AVDD）。因此，可利用公式 1 计算该器件的 FSR 值。

$$\text{FSR} = V_{\text{REF}} = \text{AVDD} \quad (1)$$

9.3.3 ADC 传递函数

器件输出采用标准二进制格式。对于单端输入，器件的分辨率可通过公式 2 计算得出：

$$1 \text{ LSB} = V_{\text{REF}} / 2^N$$

其中：

- $V_{\text{REF}} = \text{AVDD}$ and
- $N = 12$

(2)

图 33 和表 1 展示了该器件的理想传输特性曲线。

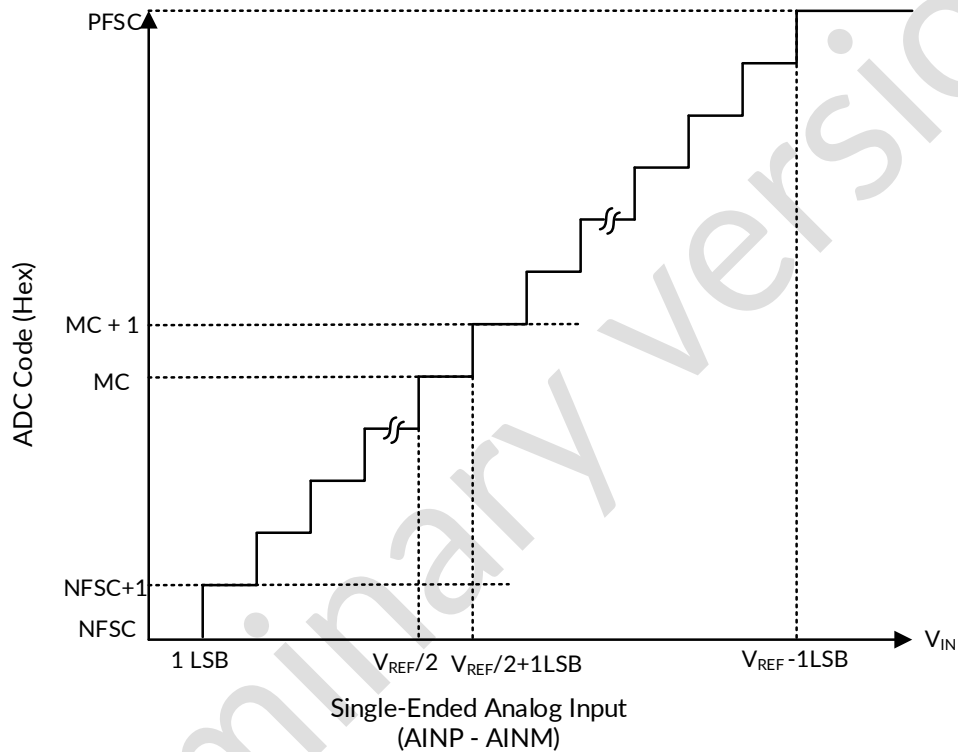


图 33. 理想传输特性曲线

表 1. 传输特性

输入电压 (AINP - AINM)	码值	说明	理想输出码
$\leq 1 \text{ LSB}$	NFSC	负满量程码	000
1 LSB to 2 LSBs	NFSC + 1	—	001
$(V_{\text{REF}} / 2) \text{ to } (V_{\text{REF}} / 2) + 1 \text{ LSB}$	MC	中值码	800
$(V_{\text{REF}} / 2) + 1 \text{ LSB to } (V_{\text{REF}} / 2) + 2 \text{ LSBs}$	MC + 1	—	801
$\geq V_{\text{REF}} - 1 \text{ LSB}$	PFSC	正满量程码	FFF

9.3.4 串行接口

该设备支持一个简单的、兼容 SPI 的外部主机接口。 $\overline{CS}$ 信号定义了一个一次模数转换及串行传输帧；每个帧以 $\overline{CS}$ 信号的下降沿起始，以 $\overline{CS}$ 信号的上升沿结束。SDO 引脚用于输出 ADC 转换结果。图 34 展示了该串行接口的详细时序图。

从 $\overline{CS}$ 下降沿到第一个 SCLK 下降沿之间必须间隔至少 t_{SU_CSCLK} 的延迟时间。该器件利用 SCLK 引脚提供的时钟信号进行模数转换及数据传输。转换结果输出于 SDO 引脚：前两位设为 0，随后是 12 位的转换结果；首个零值在 $\overline{CS}$ 下降沿时出现在 SDO 引脚上；后续各位（以另一个零值开始，随后接转换结果）则在后续的 SCLK 下降沿时出现在 SDO 引脚上。在经过 14 个 SCLK 周期后，SDO 输出仍保持低电平。当 $\overline{CS}$ 上升沿出现时，表示一帧传输结束，并将串行数据总线置为三态。为获取下一个采样点，在当前采样点完成转换后，必须预留至少 t_{ACQ} 的时间。有关时序规范的详细信息，请参阅“时序特性”。

该设备在上电后的第一个 $\overline{CS}$ 下降沿时启动失调校准，且在上电后的第一个串行传输帧期间，SDO 输出端保持低电平。如需了解更多详情，请参阅“失调校准”章节。

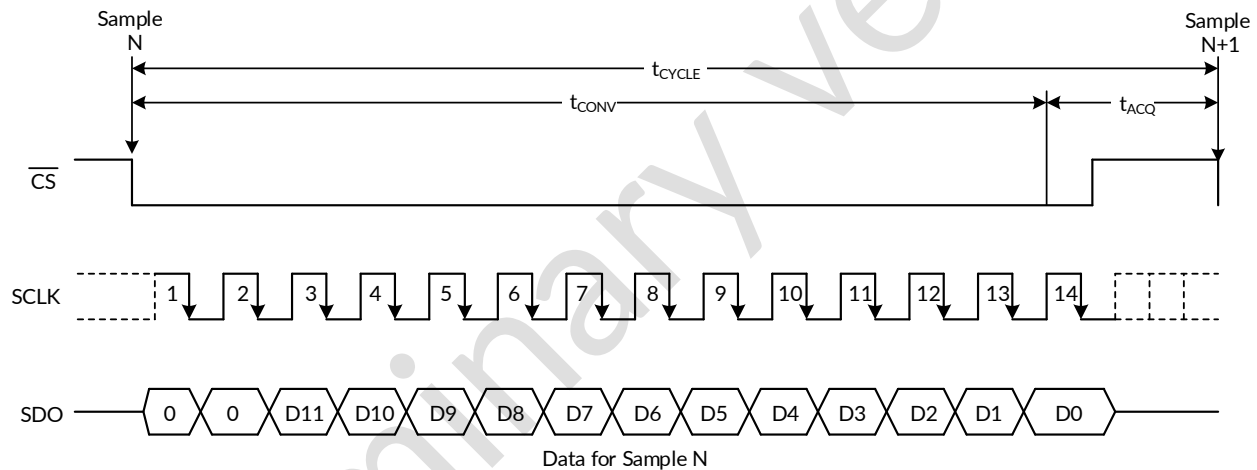
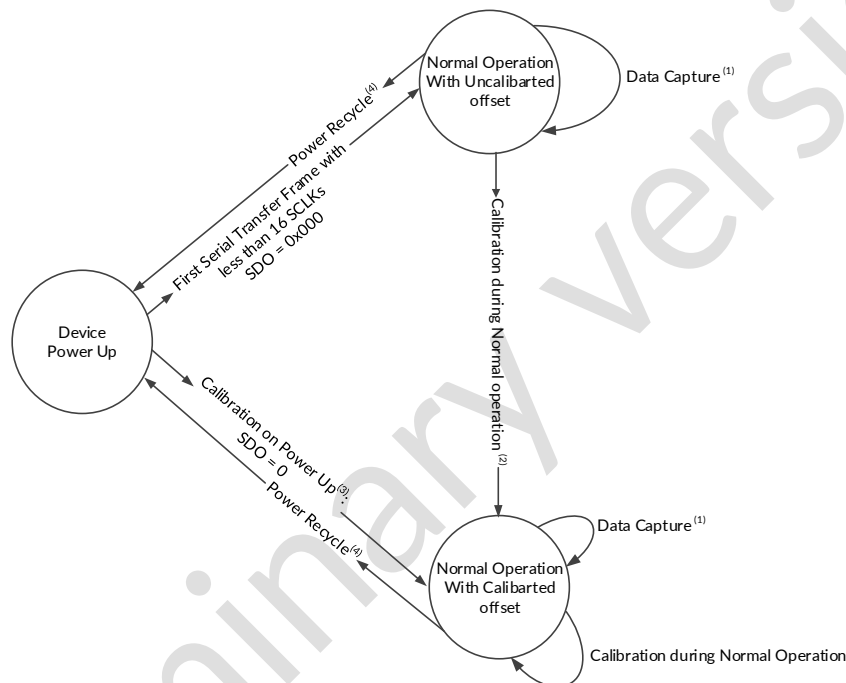


图 34. 串行接口时序图

9.4 器件功能模式

9.4.1 失调校准

RS1461LP 具备设备内部失调校准功能。在进行失调校准时，模拟输入引脚（AINP 和 AINM）将与采样级断开连接。该器件配备了一个内部失调校准寄存器（OCR），用于存储失调校准结果。该 OCR 为内部寄存器，用户无法通过串行接口对其进行访问；在通电时，OCR 将被重置为零。因此，RS 建议在通电时对失调进行校准，以确保其处于规定的限值范围内。若工作温度或模拟供电电压发生显著变化，则可在正常运行期间重新执行失调校准。图 35 展示了失调校准流程。



- (1) 有关时序规格，请参阅“时序特性”章节。
 (2) 详情请参阅“正常运行期间失调校准”章节。
 (3) 详情请参阅“上电时失调校准”章节。
 (4) 对 AVDD 电源进行功率循环操作，用于重置失调校准并将设备切换至上电状态。

图 35. 失调校准

9.4.1.1 上电时失调校准

该设备在上电后首个 $\overline{CS}$ 下降沿时启动失调校准；若在首个 $\overline{CS}$ 下降沿之后， $\overline{CS}$ 引脚仍保持低电平至少 16 个 SCLK 的下降沿，则校准过程将完成。在校准期间，SDO 输出端保持低电平。校准完成后，必须提供至少一个最小采样时间以获取首个采样值。若在设备上电后的首个串行传输帧内未提供至少 16 个 SCLK 时钟周期，则 OCR 将不会被更新。表 2 列出了上电时失调校准的相关时序参数。

对于后续采集的样本，该设备会根据存储在 OCR 中的值对转换结果进行调整。经 OCR 中存储值调整后的转换结果由设备输出至 SDO 输出端。图 36 展示了设备通电时进行失调校准的时序图。

表 2. 上电时失调校准

		最小值	典型值	最大值	单位
$f_{CLK-CAL}$	SCLK 校准频率，适用于 $2.25\text{ V} < AVDD < 3.6\text{ V}$			16	MHz
$f_{CLK-CAL}$	SCLK 校准频率，适用于 $1.65\text{ V} < AVDD < 2.25\text{ V}$			12	MHz
$t_{POWERUP-CAL}$	上电时校准时间	$15\ t_{SCLK}$			ns
t_{ACQ}	采样时间	200			ns
t_{PH_CS}	$\overline{CS}$ 高电平时间	t_{ACQ}			ns
t_{SU_CSCK}	设置时间： $\overline{CS}$ 下降沿至 SCLK 下降沿	15			ns
t_{D_CKCS}	延迟时间：最后 SCLK 下降沿至 $\overline{CS}$ 上升沿	10			ns

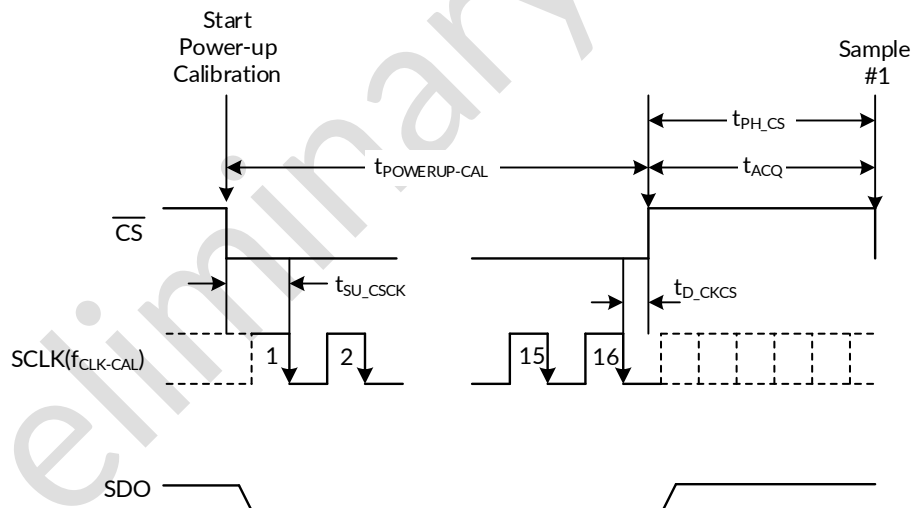


图 36. 电源上电时失调校准时序图

9.4.1.2 正常运行期间失调校准

若在单个串行传输帧内提供了至少 32 个 SCLK 下降沿，则可在设备正常运行期间执行失调校准。在前 14 个 SCLK 期间，设备将基于 $\overline{CS}$ 下降沿采集的样本进行转换，并将数据输出至 SDO 端口。设备在第 17 个 SCLK 下降沿时启动失调校准，该校准过程于第 32 个 SCLK 下降沿时完成。在第 14 个 SCLK 下降沿之后，SDO 输出端口保持低电平；当 $\overline{CS}$ 上拉时，SDO 输出端口切换至三态模式。若在某个串行传输帧内提供的 SCLK 数量少于 32 个，则 OCR 将不会被更新。表 3 给出了正常操作期间进行失调校准时的相关时序参数。

对于后续采集的样本，该设备会根据存储在 OCR 中的值对转换结果进行调整。经 OCR 中存储值调整后的转换结果由该设备输出至 SDO 输出端口。图 37 展示了正常运行期间失调校准的时序图。

表 3. 正常运行期间失调校准

		最小值	典型值	最大值	单位
$f_{CLK-CAL}$	SCLK 校准频率，适用于 $2.25\text{ V} < AVDD < 3.6\text{ V}$			16	MHz
$f_{CLK-CAL}$	SCLK 校准频率，适用于 $1.65\text{ V} < AVDD < 2.25\text{ V}$			12	MHz
t_{CAL}	正常运行期间校准时间	$15\ t_{SCLK}$			ns
t_{ACQ}	采样时间	200			ns
t_{PH_CS}	$\overline{CS}$ 高电平时间	t_{ACQ}			ns
t_{SU_CSCK}	设置时间： $\overline{CS}$ 下降沿至 SCLK 下降沿	15			ns
t_{D_CKCS}	延迟时间：最后 SCLK 下降沿至 $\overline{CS}$ 上升沿	10			ns

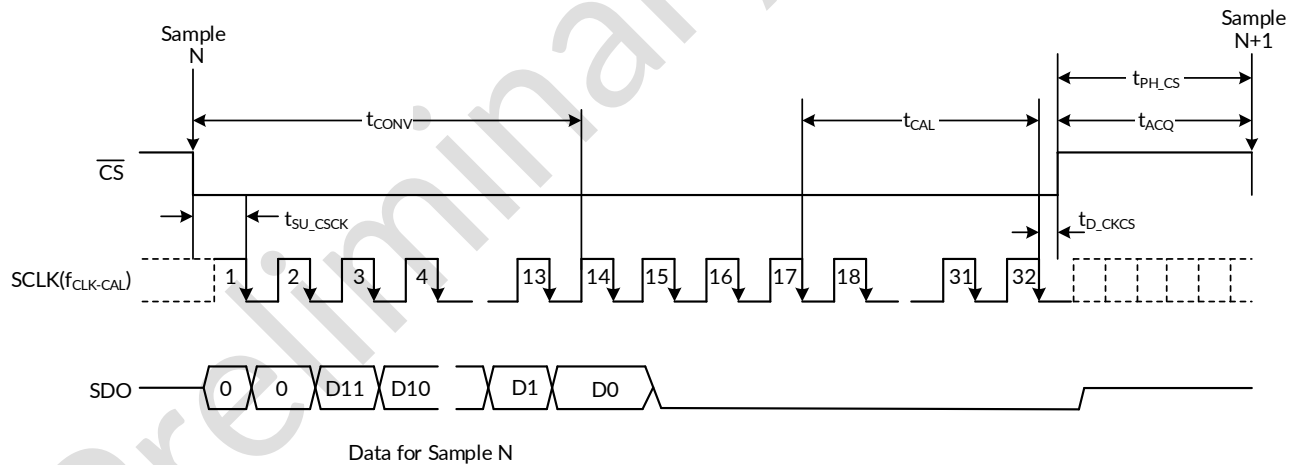


图 37. 正常运行期间失调校准时序图

10 应用与设计

在器件的模拟输入端 AINP 和 AINM 处设置了一个差分 RC 滤波器，该滤波器由一个串联电阻 R_{FLT} 和一个并联电容 C_{FLT} 组成。在图 38 所示的典型应用电路中，采用了一个 10Ω 的电阻器和一个 $2.2nF$ 的电容器。该滤波器承担着两项关键功能：首先，它作为抗混叠低通滤波器用于限制输入信号的带宽，衰减高频噪声，并防止采样过程中混叠分量重新折叠回通带；其次，电容 C_{FLT} 作为电荷存储库，为 ADC 内部开关电容采样级提供所需的瞬时电荷，从而确保输入电压在采样时间窗内准确稳定。电容 C_{FLT} 的值被设定为显著大于内部采样电容，以最小化电压反冲效应。串联电阻 R_{FLT} 将运算放大器与电容性负载隔离，既确保了放大器的稳定性，又为快速信号稳定提供了足够的带宽。

串联电阻（通常为 100Ω ）连接在数字接口线路（包括片选 $\overline{CS}$ 、串行时钟 SCLK 和串行数据输出 SDO）上。这些电阻充当源端终止电阻，用于抑制信号反射并滤除由阻抗不匹配或 PCB 走线上的寄生电感引起的数字信号过冲。具体的电阻值应根据具体的布局、转换速度以及数字信号的上升沿和下降沿时间进行优化，以确保信号完整性。

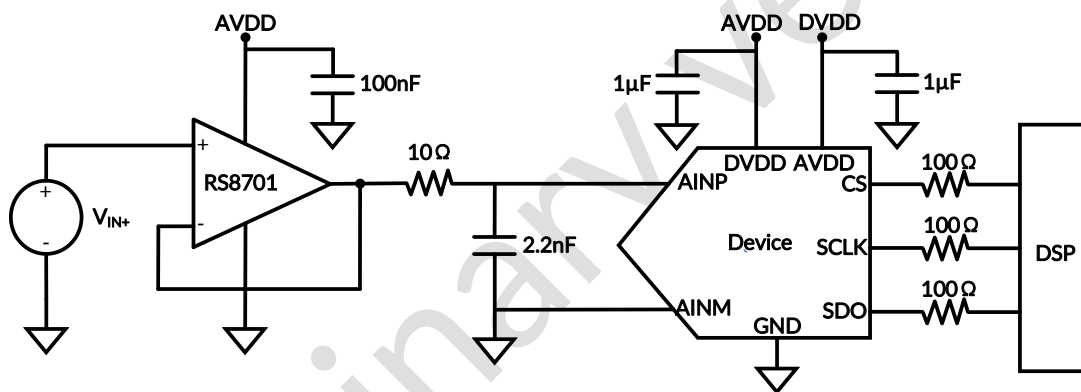


图 38. 典型应用电路

11 电源建议

11.1 AVDD 与 DVDD 电源建议

RS1461LP 设备配备两个独立的电源：AVDD 和 DVDD。该设备采用 AVDD 供电；DVDD 用于接口电路。AVDD 和 DVDD 可独立设置为允许范围内的任意值。AVDD 电源还决定了设备的满量程输入范围。请始终将 AVDD 电源设置为大于或等于最大输入信号，以避免码值饱和。如图 39 所示，应分别使用 1 μ F 的陶瓷去耦电容对 AVDD 和 DVDD 引脚进行独立去耦。AVDD 和 DVDD 所需的最小电容值分别为 200 nF 和 20 nF。若两个电源由同一电源供电，则需使用至少 220 nF 的电容进行去耦。

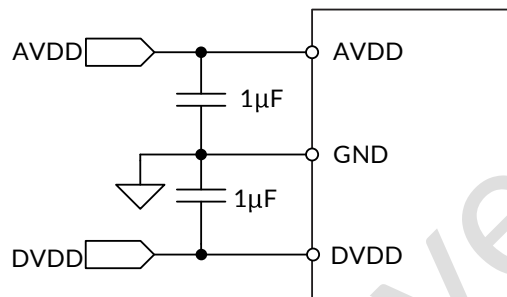


图 39. 电源去耦

11.2 数字功耗估算

从 DVDD 电源端引出的电流消耗取决于 DVDD 电压、SDO 线上的负载电容以及输出码。SDO 线上的负载电容在数据输出的每个上升沿由来自 SDO 引脚的电流充电，在数据输出的每个下降沿则由该电流放电。器件从 DVDD 电源端所消耗的电流可根据公式 3 计算得出。

$$I_{DVDD} = C \times V \times f$$

其中：

- C = SDO 线上的负载电容,
 - V = DVDD 电源电压
 - f = SDO 输出端的信号转换次数
- (3)

SDO 输出端的转换次数取决于输出码，因此会随模拟输入信号的变化而变化。当 SDO 输出端在每个 SCLK 周期内发生变化时，f 的取值达到最大值。SDO 在每个 SCLK 周期内发生变化时，对应的输出码为 AAAh 或 555h。当输出码为 AAAh 或 555h 且吞吐量为 1- MSPS 时，SDO 输出端的转换频率为 6MHz。

为使当前功耗保持在尽可能低的水平，应将 DVDD 电源电压维持在最低允许值，并尽可能降低 SDO 线上的电容值。

11.3 优化设备功耗

- 将模拟电源电压（AVDD）尽可能接近于模拟输入电压；将 AVDD 设置为大于或等于设备的模拟输入电压。
- 将数字供电电压（DVDD）维持在最低允许值。
- 降低 SDO 输出端的负载电容。
- 将设备运行在最佳吞吐量下；随着吞吐量的提高，功耗随之降低。

12 PCB 版图设计

12.1 PCB 布局设计注意事项

图 40 展示了 RS1461LP 的电路板布局示例。请在器件下方设置接地平面，并将 PCB 分为模拟部分和数字部分。避免让数字线路与模拟信号路径交叉，并将模拟输入信号及参考输入信号远离噪声源。在图 40 中，模拟输入信号布设在器件左侧，而数字连接线路则布设在右侧。

设备的电源必须清洁且经过良好的旁路处理。在模拟 (AVDD) 和数字 (DVDD) 电源引脚附近使用 $1\mu\text{F}$ 陶瓷旁路电容。避免在 AVDD 与 DVDD 引脚及旁路电容之间设置通孔。通过短而低阻抗的路径将所有接地引脚连接至接地平面。RS1461LP 的 AVDD 电源电压亦可作为设备的基准电压。将用于 AVDD 的去耦电容 (C_{REF}) 放置在设备的 AVDD 和 GND 引脚附近，并通过粗铜走线将 C_{REF} 连接到设备引脚，如图 40 所示。

飞轮式 RC 滤波器安装在器件附近。在陶瓷表面贴装电容器中，COG (NPO) 陶瓷电容器具有最佳的电容精度；而 COG (NPO) 陶瓷电容器所采用的介质类型可在电压、频率及温度变化条件下提供最稳定的电气性能。

12.2 PCB 布局示例

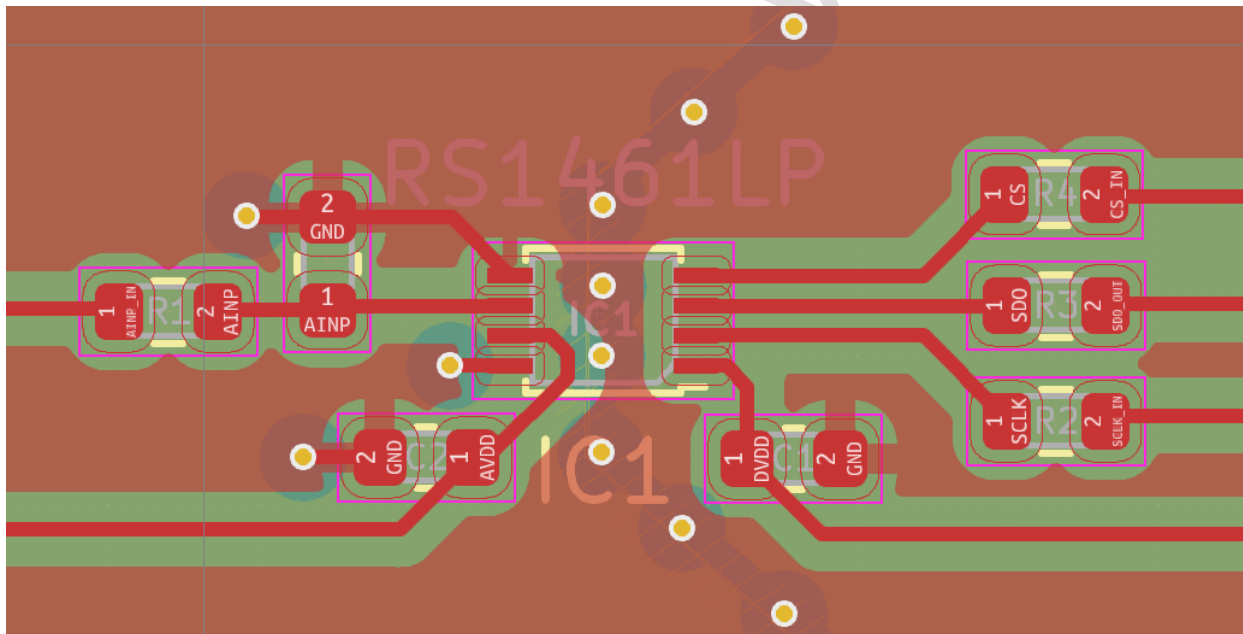
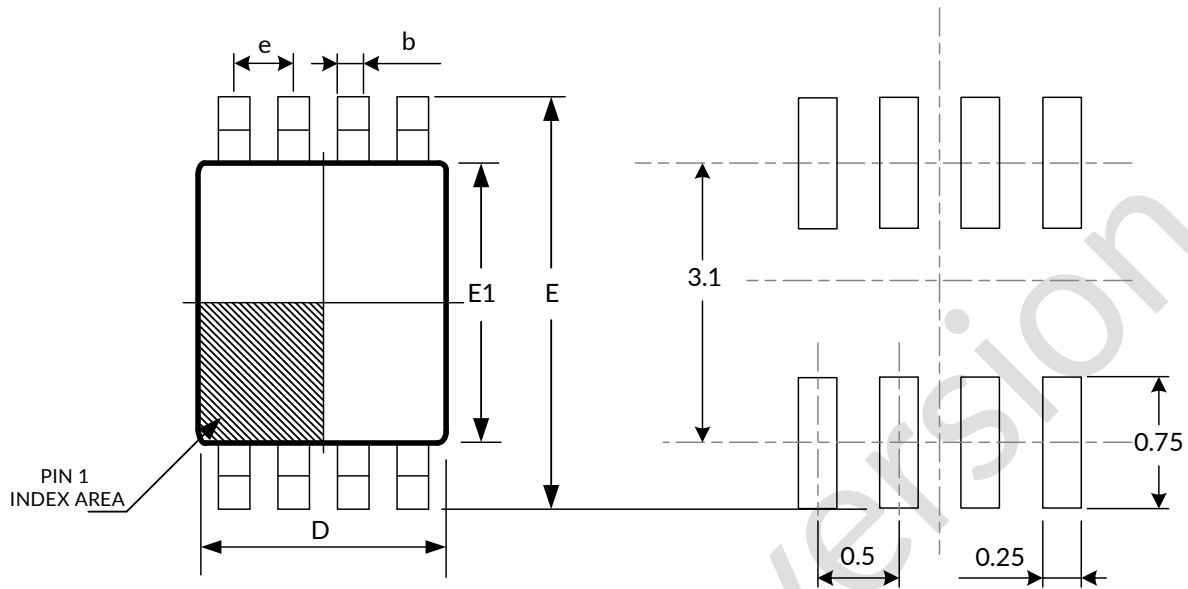


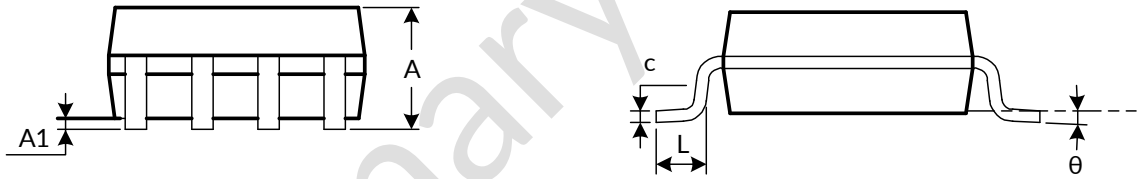
图 40. PCB 布局示例

13 封装规格尺寸

VSSOP8⁽³⁾



推荐焊盘尺寸 (单位: 毫米)



符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.600	0.900	0.024	0.085
A1	0.000	0.100	0.000	0.004
b	0.170	0.250	0.007	0.010
c	0.100	0.200	0.004	0.008
D ⁽¹⁾	1.900	2.100	0.075	0.083
e	0.500 (BSC) ⁽²⁾		0.020 (BSC) ⁽²⁾	
E	3.000	3.200	0.118	0.126
E1 ⁽¹⁾	2.200	2.400	0.087	0.095
L	0.200	0.350	0.008	0.014
θ	0°	6°	0°	6°

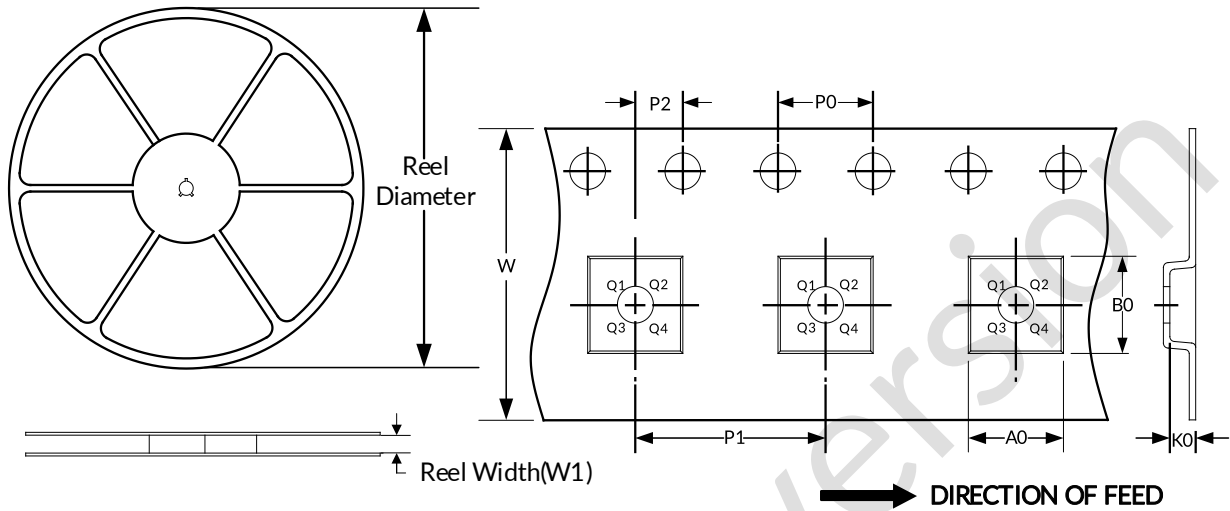
注意:

1. 不包括每侧最大 0.15mm 的塑封料或金属突起。
2. BSC (基本中心间距), “基本”间距为标称间距。
3. 本图如有更改, 恕不另行通知。

14 包装规格尺寸

卷盘尺寸

编带尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter	Reel Width(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
VSSOP8	7"	9.5	2.25	3.35	1.40	4.0	4.0	2.0	8.0	Q3

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。

重要通知及免责声明

江苏 Runic 科技有限公司将准确可靠地提供技术和可靠性数据(包括数据表)、设计资源(包括参考设计)、应用或其他设计建议、WEB 工具、安全信息等资源,不保证无任何缺陷,也不作任何明示或暗示的保证,包括但不限于适用性保证,暗示其适用于特定目的的应用。且没有侵犯任何第三方的知识产权。

这些资源适用于使用 Runic 产品设计的熟练开发人员,您将全权负责:(1)为您的应用程序选择合适的产品;(2)设计、验证和测试您的应用程序;(3)确保您的应用程序符合适用标准、安全标准或其他要求;(4) Runic 及 Runic 标识为 Runic Incorporated 的注册商标。所有商标均为其各自所有者的财产;(5) 对于发生改变的细节,应查看修订文件中包含的修订历史。资源如有更改,恕不另行通知。本公司对使用本芯片设计的终端产品的侵犯专利的行为或侵犯第三方知识产权的行为不承担任何连带责任。