

16位、电压输出数模转换器

1 特性

- 完整的 16 位性能
- 3 V 与 5 V 单电源供电
- 低功耗 (0.55 mW)
- 1 μ s 建立时间
- 无缓冲电压输出, 可直接驱动 60 k Ω 负载
- 兼容 SPI/ QSPI /MICROWIRE 接口标准
- 上电复位功能将 DAC 输出清零至 0 V (单极性模式)
- 符合 6 kV HBM ESD 分类标准
- 低毛刺: 3 nV $\cdot$ s

2 应用

- 数字增益与失调整
- 自动测试设备
- 数据采集系统
- 工业过程控制

3 概述

RS1360/RS1362 是单通道、16 位、串行输入、电压输出的数模转换器 (DAC), 采用 2.7 V 至 5.5 V 单电源供电。其 DAC 输出范围为 0 V 至 V_{REF} 。

DAC 输出范围从 0 V 到 V_{REF} , 且保证单调, 在 -40°C 至 $+105^{\circ}\text{C}$ 的整个指定温度范围内, 无需调整即可实现 16 位、1 LSB INL 精度。RS1360/RS1362 提供无缓冲输出端, 具有 1 μ s 的建立时间, 且功耗低、失调误差小。该器件具备 11.8 nV/ $\sqrt{\text{Hz}}$ 的低噪声性能及低毛刺特性, 适用于多种终端系统。

RS1360 可支持双极性模式运行, 该模式可产生 $\pm V_{REF}$ 的输出摆幅。此外, RS1360 还为基准电压和模拟地引脚提供开尔文检测连接, 以降低布局敏感性。

RS1360/RS1362 采用多功能三线接口, 与 SPI、QSPI™、MICROWIRE™ 及 DSP 接口标准兼容。

器件信息 (1)

型号	封装	封装尺寸 (标称值)
RS1360	SOP14	8.65mm $\times$ 3.90mm
RS1362	SOP8	4.90mm $\times$ 3.90mm

(1) 详细的订单型号说明, 请参考数据表后的封装选项部分。

4 产品亮点

1. 单电源工作模式: RS1360/RS1362 已针对单电源 2.7 V 至 5.5 V 供电条件进行了全面规格定义与性能保证。
2. 低功耗: 在 5 V 电源供电时, 这些元件的典型功耗为 0.55 mW; 在 3 V 电源供电时, 功耗为 0.33 mW。
3. 三线串行接口。
4. 无缓冲输出, 可驱动 60 k Ω 负载——由于无需驱动内部缓冲器, 因此可降低功耗。
5. 上电复位电路。

功能框图

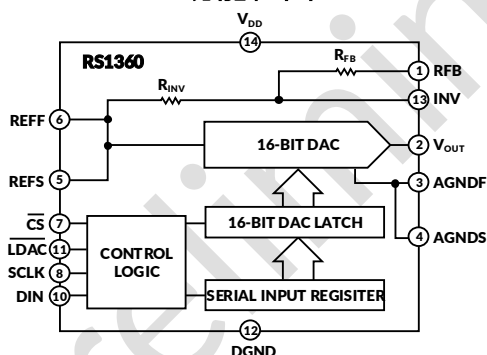


图 1. RS1360

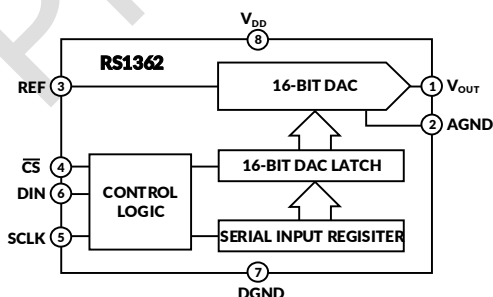


图 2. RS1362

目录

1 特性	1
2 应用	1
3 概述	1
4 产品亮点	1
5 修订历史	3
6 封装和订单说明 ⁽¹⁾	4
7 引脚定义和功能	5
8 规格	7
8.1 绝对最大额定参数	7
8.2 ESD 等级	7
8.3 推荐工作条件	7
8.4 典型电气参数	8
8.5 时序特性	10
8.6 典型参数曲线	11
9 术语	14
10 工作原理	15
10.1 数模转换模块	15
10.2 串行接口	16
10.3 单极性输出工作模式	16
10.4 双极性输出工作模式	17
10.5 输出放大器选择	18
10.6 力检测放大器选择	18
10.7 基准源和接地	18
10.8 上电复位	18
10.9 电源与基准旁路	18
11 微处理器接口	19
11.1 RS1360 与 ADSP-21XX 接口	19
11.2 RS1360 与 68HC11/68L11 接口	19
11.3 RS1360 与 MICROWIRE 接口	19
11.4 RS1360 与 80C51/80L51 接口	20
12 应用信息	21
12.1 光耦合器接口	21
12.2 多片 RS1360 解码	21
13 封装规格尺寸	23
14 包装规格尺寸	25

5 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2026/08/13	初始版

Preliminary version

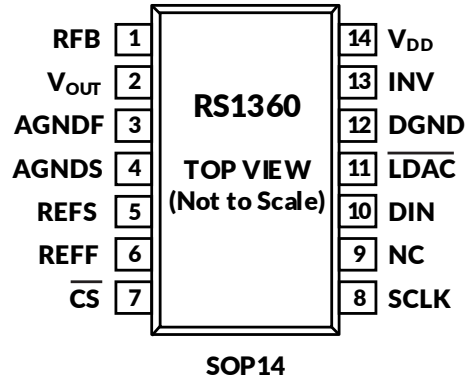
6 封装和订单说明 ⁽¹⁾

产品名称	订单型号	工作温度(°C)	封装类型	丝印 ⁽²⁾	MSL ⁽³⁾	包装规格
RS1360	RS1360XP	-40°C ~+105°C	SOP14	RS1360	MSL1	Tape and Reel, 4000
RS1362	RS1362XK	-40°C ~+105°C	SOP8	RS1362	MSL1	Tape and Reel, 4000

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) Runic 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 Runic 技术支持联系。

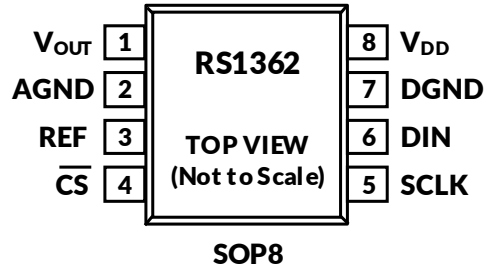
7 引脚定义和功能



引脚功能

引脚		功能说明
引脚名称	序号	
RFB	1	反馈电阻引脚。在双极性模式下，将该引脚连接至外部运算放大器的输出端。
V _{OUT}	2	DAC 模拟输出电压。
AGNDF	3	模拟电路接地基准点（强制）。
AGNDS	4	模拟电路接地基准点（检测）。
REFS	5	DAC 的电压基准输入端（检测）。连接至外部 2.5 V 基准电压源；基准电压范围为 2.5 V 至 V _{DD} 。
REFF	6	DAC 的电压基准输入端（强制）。连接至外部 2.5 V 基准电压源；基准电压范围为 2.5 V 至 V _{DD} 。
$\overline{CS}$	7	逻辑输入信号。片选信号用于对串行数据输入进行帧同步。
SCLK	8	时钟输入。数据在 SCLK 的上升沿时被加载到输入寄存器中。占空比必须介于 40% 至 60% 之间。
NC	9	无连接。
DIN	10	串行数据输入。该设备支持接收 16 位字长的数据；数据在 SCLK 信号的上升沿时被时钟驱动输入至输入寄存器。
$\overline{LDAC}$	11	$\overline{LDAC}$ 输入。当该输入端为低电平时，DAC 寄存器将同步更新为输入寄存器中的内容。
DGND	12	数字接地。用于数字电路的接地基准点。
INV	13	连接至 DAC 的内部缩放电阻。双极性工作模式下，需将 INV 引脚连接至外部运算放大器的反相输入端。
VDD	14	模拟电源电压

引脚定义和功能



引脚功能

引脚		功能说明
引脚名称	序号	
VOUT	1	DAC 模拟输出电压。
AGND	2	模拟电路接地基准点。
REF	3	DAC 的电压基准输入端。连接至外部 2.5 V 基准电压源；基准电压范围为 2.5 V 至 V_{DD} 。
$\overline{CS}$	4	逻辑输入信号。片选信号用于对串行数据输入进行帧同步。
SCLK	5	时钟输入。数据在 SCLK 的上升沿时被加载到输入寄存器中。占空比必须介于 40% 至 60% 之间。
DIN	6	串行数据输入。该设备支持接收 16 位字长的数据；数据在 SCLK 信号的上升沿时被时钟驱动输入至输入寄存器。
DGND	7	数字接地。用于数字电路的接地基准点。
VDD	8	模拟电源电压。

8 规格

8.1 绝对最大额定参数

在自然通风温度范围内（除非特别注明）⁽¹⁾

参数	最小值	最大值	单位
V _{DD} 至 AGND	-0.3	6	V
数字输入电压至 DGND	-0.3	V _{DD} +0.3	V
V _{OUT} 至 AGND	-0.3	V _{DD} +0.3	V
AGND, AGNDF, AGNDS 至 DGND	-0.3	+0.3	V
除电源引脚外所有引脚的输入电流		±10	mA
工作温度范围	-40	105	°C
储存温度范围	-65	150	°C
最大结温 (T _J max) ⁽²⁾		150	°C
封装功耗	(T _J max - T _A)/θ _{JA}		
结至环境热阻, θ _{JA} ⁽³⁾	SOP8	110	°C/W
	SOP14	105	°C/W

(1) 这里只表示产品在测试条件下得到的极限值，并不表示产品在这些条件下或者其他超出规格限定的参数条件下能够正常工作，超过上述绝对最大额定值所规定的范围将对产品造成损害，无法预测产品在上述条件外的工作状态。如果产品长期在上述条件外的条件下工作，可能影响产品性能。

(2) 最大功耗是有关 T_J (MAX)、R_{θJA} 和 T_A 的函数。任意环境温度下的最大功耗为 P_D = (T_J(MAX) - T_A) / R_{θJA}。适用于直接焊接到 PCB 上的封装。

(3) 封装热阻抗根据 JESD-51 标准计算。

8.2 ESD 等级

以下 ESD 信息仅针对在防静电保护区内操作的敏感设备。

		标称值	单位
V _(ESD) 静电放电	人体模型 (HBM), 符合 JESD22-A114F 规范	±6000	V
	带电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002-2025 规范	±1500	V



ESD 灵敏性警告

ESD 损坏的范围可以从细微的性能下降到完全的设备失效。精密集成电路可能更容易受到损坏，因为非常小的参数变化有可能导致器件不符合其公布的参数规格。

8.3 推荐工作条件

在自然通风温度范围内（除非特别注明）

		最小值	标称值	最大值	单位
	电源电压 (V _{DD} to GND)	2.7		5.5	V
	数字输入电压 (D _{IN} , SCLK, and $\overline{CS}$)	0		V _{DD}	V
V _{REF}	基准输入电压	2.5		V _{DD}	V
T _A	工作环境温度	-40		105	°C

8.4 典型电气参数

$V_{DD} = 2.7\text{ V}$ 至 5.5 V 和 $T_A = -40^\circ\text{C}$ 至 105°C (除非特别注明)。

参数	测试条件	最小值	典型值	最大值	单位
静态性能					
分辨率		16			Bits
相对精度 (INL)			± 0.5		LSB
微分非线性 (DNL)			± 0.5		LSB
增益误差	$T_A = 25^\circ\text{C}$		± 0.5		LSB
	$T_A = -40^\circ\text{C} \sim 105^\circ\text{C}$		± 1		LSB
增益误差温度系数			± 0.1		ppm/ $^\circ\text{C}$
单极性零码误差	$T_A = 25^\circ\text{C}$		± 0.5		LSB
	$T_A = -40^\circ\text{C} \sim 105^\circ\text{C}$		± 0.5		LSB
单极性零码温度系数			± 0.06		ppm/ $^\circ\text{C}$
双极性电阻匹配 ⁽¹⁾	R_{FB}/R_{INV} , typically $R_{FB} = R_{INV} = 28\text{ k}\Omega$		1		Ω/Ω
	比率误差		0.07		%
双极性零点失调误差 ⁽¹⁾	$T_A = 25^\circ\text{C}$		± 1		LSB
	$T_A = -40^\circ\text{C} \sim 105^\circ\text{C}$		± 1		LSB
双极性零码温度系数 ⁽¹⁾			± 0.2		ppm/ $^\circ\text{C}$
双极性零码失调误差 ⁽¹⁾	$T_A = 25^\circ\text{C}$		± 3		LSB
	$T_A = -40^\circ\text{C} \sim 105^\circ\text{C}$		± 3		LSB
双极性增益误差 ⁽¹⁾	$T_A = 25^\circ\text{C}$		± 3		LSB
	$T_A = -40^\circ\text{C} \sim 105^\circ\text{C}$		± 3		LSB
双极性增益温度系数 ⁽¹⁾			± 0.2		ppm/ $^\circ\text{C}$
输出特性					
输出电压范围	单极性工作模式	0		$V_{REF} - 1\text{LSB}$	V
	双极性工作模式 ⁽¹⁾	$-V_{REF}$		$+V_{REF} - 1\text{LSB}$	
输出电压建立时间	To 1/2 LSB of FSR, $C_L = 10\text{ pF}$		1		μs
压摆率	$C_L = 10\text{ pF}$, 测量范围 0% 至 63%		17		V/ μs
数模转换毛刺脉冲	主进位点附近 1 LSB 跳变。		3		nV-sec
数字馈通			0.3		nV-sec
DAC 输出阻抗	典型容差为 20%		6.25		k Ω
输出噪声谱密度	DAC code = 0x8400, frequency = 1 kHz		11.8		nV/ $\sqrt{\text{Hz}}$
输出噪声	0.1 Hz to 10 Hz		0.134		$\mu\text{Vp-p}$
电源抑制比	$\Delta V_{DD} \pm 10\%$		± 0.25		LSB

典型电气参数（续）

$V_{DD} = 2.7\text{ V}$ 至 5.5 V 和 $T_A = -40^\circ\text{C}$ 至 105°C （除非特别注明）。

参数		测试条件	最小值	典型值	最大值	单位
DAC 基准输入						
基准输入范围			2.5		V _{DD}	V
基准输入电阻		单极性工作模式	9			kΩ
		双极性工作模式 ⁽¹⁾	7.5			kΩ
逻辑输入						
输入电流					±1	μA
V _{IL}	输入低电压				0.8	V
V _{IH}	输入高电压		2.4			V
输入电容 ⁽²⁾					10	pF
迟滞电压				0.15		V
基准源 ⁽³⁾						
基准 -3dB 带宽		All 1s loaded		1		MHz
基准馈通		All 0s loaded, V _{REF} = 1Vp-p at 100kHz		1		mVp-p
信噪比				92		dB
基准输入电容		Code 0x0000		26		pF
		Code 0xFFFF		26		pF
电源要求						
V _{DD}			2.7		5.5	V
I _{DD}				110		μA
功耗				0.55		mW

(1) 仅适用于 1360。

(2) 参考输入电阻值取决于具体代码，其最小值为 0x8555。

(3) 通过设计保证，无需进行生产检验。

8.5 时序特性

$V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V} \pm 10\%$, $V_{REF} = 2.5\text{ V}$, $V_{IH} = 3\text{ V}$ 且 90% of V_{DD} , $V_{IL} = 0\text{ V}$ 且 10% of V_{DD} , $AGND = DGND = 0\text{ V}$; $-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$, 除非特别注明。

参数 (1) (2)		测试条件	最小值	典型值	最大值	单位
f_{SCLK}	SCLK 周期频率				25	MHz
t_1	SCLK 周期时间		40			ns
t_2	SCLK 高电平时间		20			ns
t_3	SCLK 低电平时间		20			ns
t_4	$\overline{CS}$ 低电平至 SCLK 高电平设置		10			ns
t_5	$\overline{CS}$ 高电平至 SCLK 高电平设置		15			ns
t_6	SCLK 高电平至 $\overline{CS}$ 低电平保持时间		30			ns
t_7	SCLK 高电平至 $\overline{CS}$ 高电平保持时间		20			ns
t_8	数据设置时间		15			ns
t_9	数据保持时间 ($V_{IH} = 90\%$ of V_{DD} , $V_{IL} = 10\%$ of V_{DD})		4			ns
t_9	数据保持时间 ($V_{IH} = 3\text{ V}$, $V_{IL} = 0\text{ V}$)		7.5			ns
t_{10}	$\overline{LDAC}$ 脉冲宽度		30			ns
t_{11}	$\overline{CS}$ 高电平至 $\overline{LDAC}$ 低电平设置		30			ns
t_{12}	有效周期期间 $\overline{CS}$ 高电平持续时间		30			ns

(1) 通过设计与特性分析确保, 未经生产环境测试。

(2) 所有输入信号均设定为 $t_R = t_F = 1\text{ ns/V}$, 其时序基准为 $(V_{IL} + V_{IH})/2$ 电压电平。

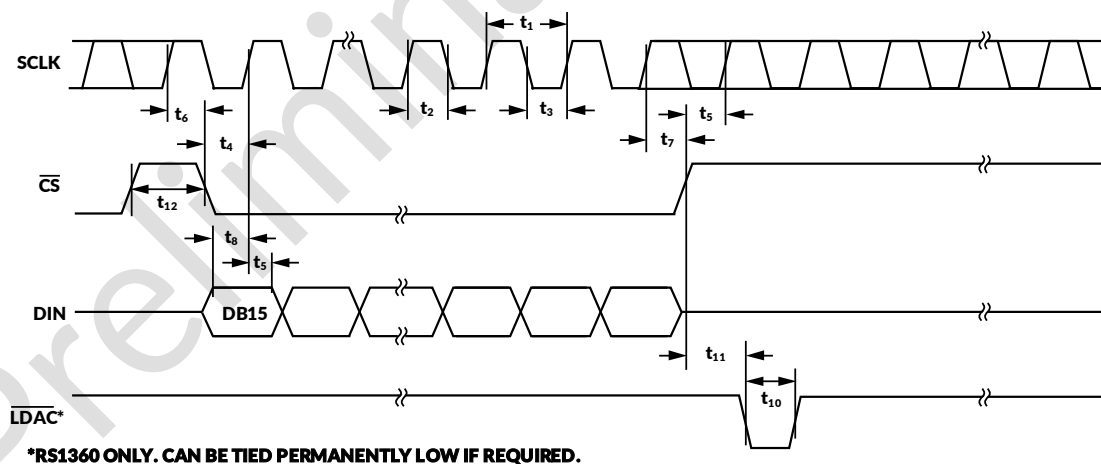


图 3. 时序图

8.6 典型参数曲线

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

在 $V_{DD} = 2.7\text{ V}$, $V_{REF} = 2.5\text{ V}$, $T_A = 25^\circ\text{C}$, 除非特别注明。

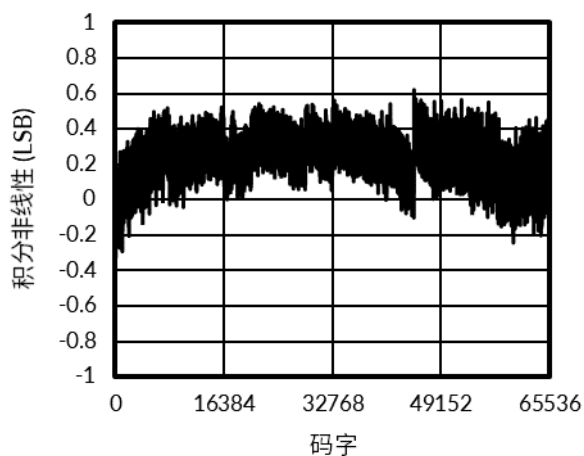


图 4. 积分非线性与码字的关系

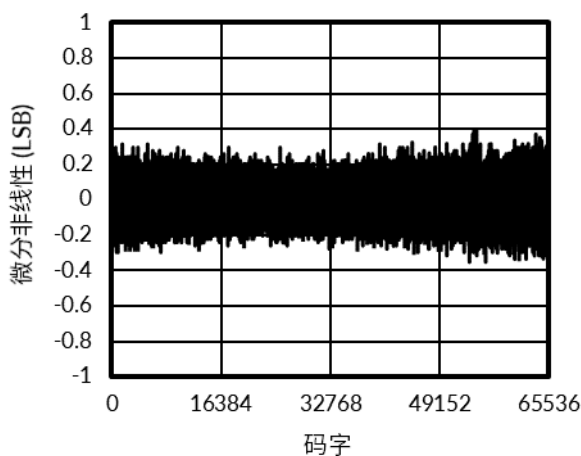


图 5. 微分非线性与码字的关系

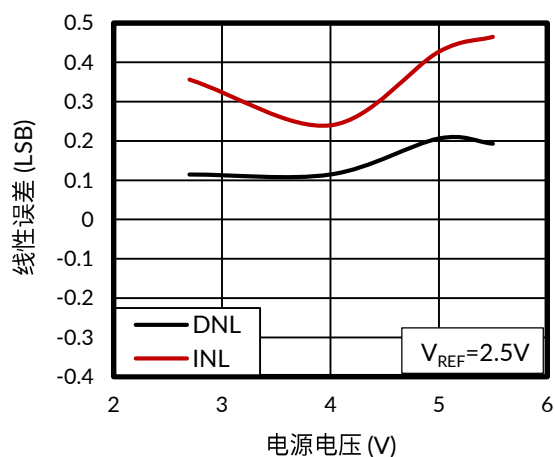


图 6. 线性误差与电源电压的关系

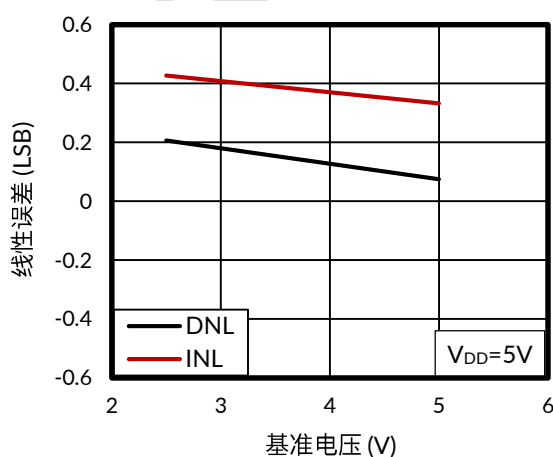


图 7. 线性误差与基准电压的关系

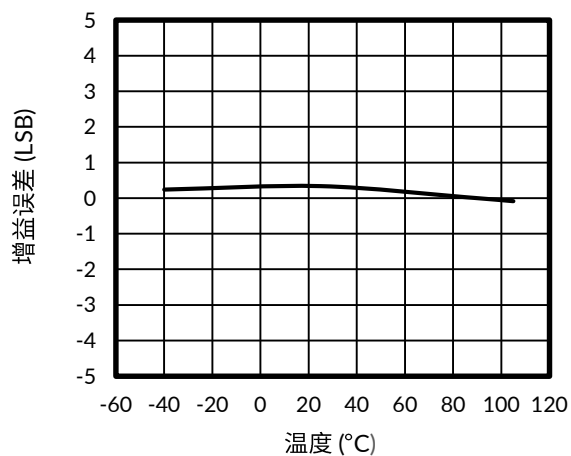


图 8. 增益误差与温度的关系

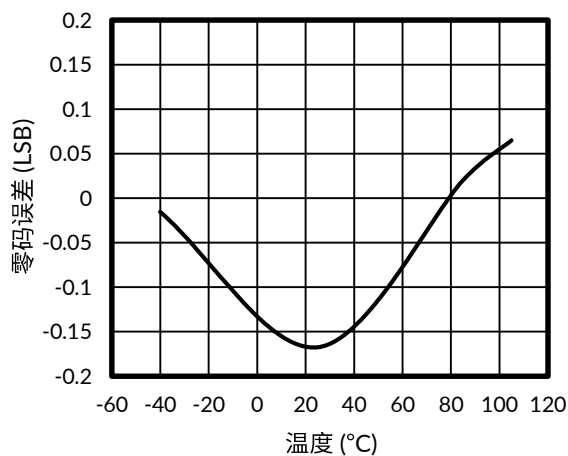


图 9. 零码误差与温度的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

在 $V_{DD} = 2.7\text{ V}$, $V_{REF} = 2.5\text{ V}$, $T_A = 25^\circ\text{C}$, 除非特别注明。

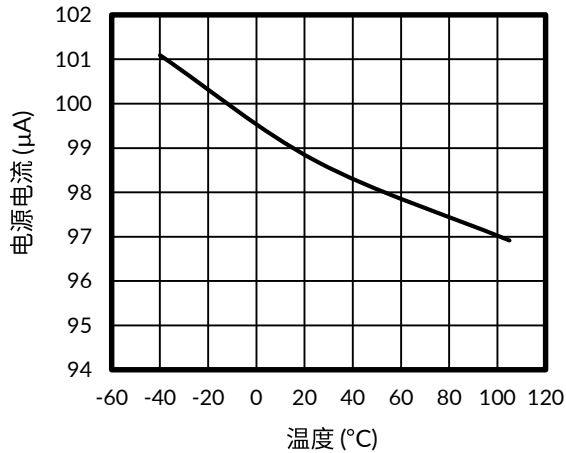


图 10. 电源电流与温度的关系

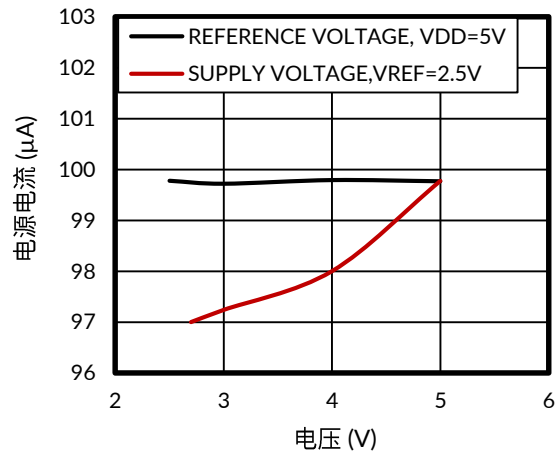


图 11. 电源电流与参基准电压或电源电压的关系

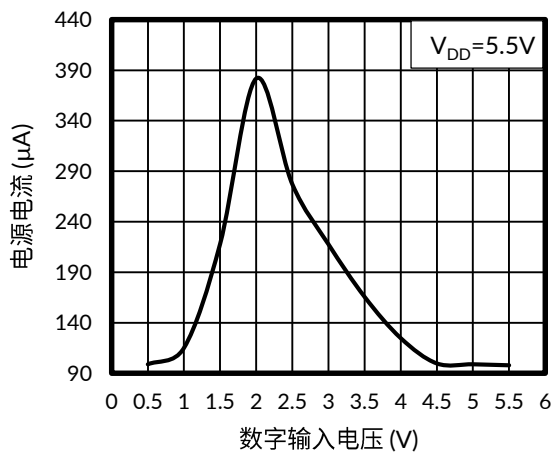


图 12. 电源电流与数字输入电压的关系

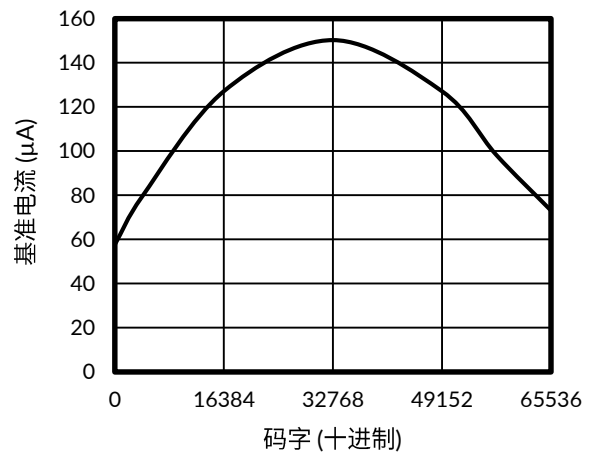


图 13. 基准电流与码字的关系

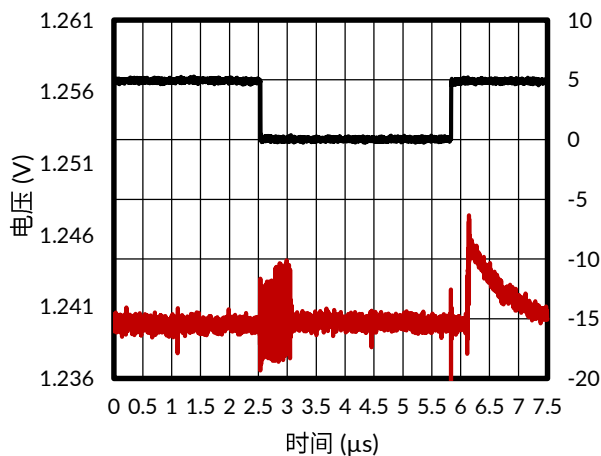


图 14. 数字馈通

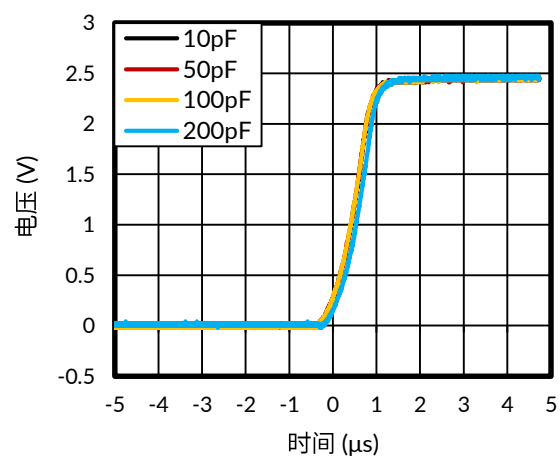


图 15. 大信号建立时间

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

在 $V_{DD} = 2.7\text{ V}$, $V_{REF} = 2.5\text{ V}$, $T_A = 25^\circ\text{C}$, 除非特别注明。

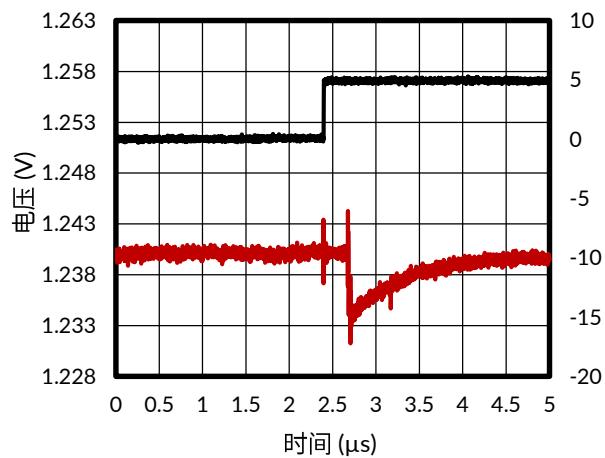


图 16. 数模转换毛刺脉冲

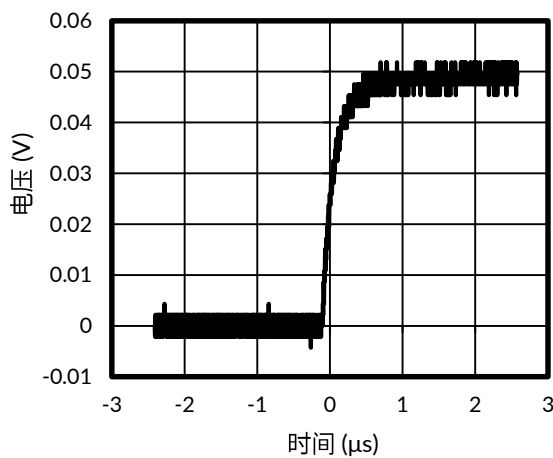


图 17. 小信号建立时间

9 术语

相对精度或积分非线性 (INL)

对于数模转换器 (DAC)，相对精度或 INL 是衡量其与通过 DAC 传递函数端点所作直线之间最大偏差（以 LSB 为单位）的指标。典型的 INL 与码字关系曲线图见图 4。

微分非线性 (DNL)

DNL 是指任意两个相邻码之间测得的变化量与理想的 1 LSB 变化量之间的差值。设定最大微分非线性度为 ± 1 LSB 可确保单调性。图 5 展示了典型的 DNL 与码字关系。

增益误差

增益误差是指实际模拟输出范围与理想模拟输出范围之间的差值，以满量程范围的百分比表示；它反映了 DAC 传递特性曲线相对于理想特性在斜率上的偏差。

增益误差温度系数

增益误差温度系数用于衡量增益误差随温度变化而产生的变化量，其单位为 ppm/°C。

零码误差

零码误差是指在将零码加载到 DAC 寄存器时所测得的输出误差。

零码温度系数

该指标用于衡量零码误差随温度变化而产生的变化量，其单位为 mV/°C。

数模转换毛刺脉冲

数模转换毛刺脉冲是指当 DAC 寄存器中的输入码状态发生变化时注入模拟输出端的电脉冲。该参数通常以 nV·sec 为单位表示，是在数字输入码于主进位跃变处变化 1 LSB 时测得的。数模转换毛刺脉冲的波形图如图 16 所示。

数字馈通

数字馈通是指从数模转换器 (DAC) 的数字输入端注入至其模拟输出端的脉冲量的度量指标；该指标在 DAC 输出未更新时进行测量。在 CLK 和 DIN 信号翻转期间， $\overline{CS}$ 信号保持高电平。该指标以 nV·sec 为单位进行定义，通过数据总线上的全量程码字变化（即从全 0 到全 1 或反之）来测量。典型的数字馈通曲线如图 14 所示。

电源抑制比 (PSRR)

PSRR 表示 DAC 输出受电源电压变化的影响程度。电源抑制比以 DAC 全量程输出时，输出电压随 V_{DD} 每变化 1% 所引起的输出电压变化百分比来表示。 V_{DD} 的变化范围为 $\pm 10\%$ 。

基准馈通

基准馈通是指当 DAC 被输入全零序列时，从 V_{REF} 输入端到 DAC 输出端的馈通量。向 V_{REF} 输入频率为 100 kHz、峰峰值为 1 Vp-p 的信号；参考馈通值以 mVp-p 为单位表示。

10 工作原理

RS1360/RS1362 是单路、16 位、串行输入、电压输出的数模转换器 (DAC)。这些器件采用单电源供电 (电源电压范围为 2.7 V 至 5.5 V)，在 5 V 电源条件下典型功耗为 110 μ A。数据通过 3 线或 4 线串行接口以 16 位字长格式写入这些器件。为确保器件在上电时处于已知状态，这些器件均设计了上电复位功能：在单极性模式下，输出端复位为 0 V；在双极性模式下，RS1360 的输出端设定为 $-V_{REF}$ V。RS1360 器件上还配备了用于基准端和模拟地的开尔文检测连接接口。

10.1 数模转换模块

该 DAC 架构由两个匹配的 DAC 模块组成。图 18 展示了该架构的简化电路图。RS1360/RS1362 的 DAC 架构采用分段式设计：16 位数据字中的四个最高有效位 (MSB) 经解码后用于驱动 15 个开关 (E1 至 E15)；每个开关将 15 个匹配电阻之一连接至 $AGND$ 或 V_{REF} 。数据字中剩余的 12 位则用于驱动一个 12 位电压模式 R-2R 梯形网络中的开关 S0 至 S11。

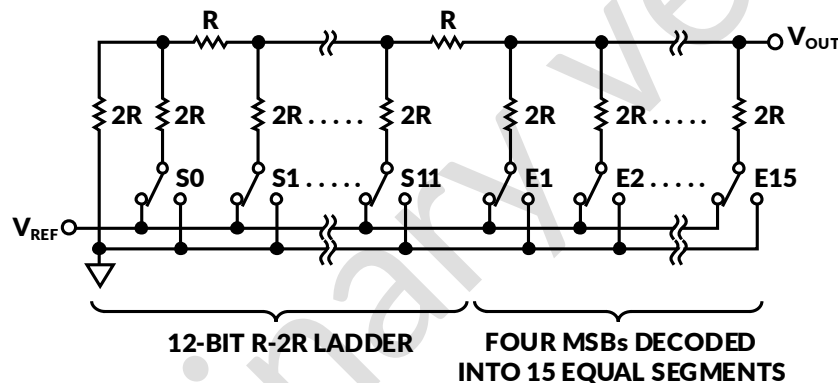


图 18. DAC 架构

在这种 DAC 接口配置下，输出阻抗与码字无关，而基准端所见的输入阻抗则与码字密切相关。输出电压取决于基准电压，如以下公式所示：

$$V_{OUT} = \frac{V_{REF} * D}{2^N}$$

其中：

D 表示加载到 DAC 寄存器中的十进制数据字。

N 为 DAC 的分辨率。

当基准电压为 2.5 V 时，该方程可简化为以下形式：

$$V_{OUT} = \frac{2.5 * D}{65536}$$

在 DAC 加载中间刻度码时，输出电压为 1.25 V；在 DAC 加载满量程码时，输出电压为 2.5 V。该 LSB 大小为 $V_{REF} / 65,536$ 。

10.2 串行接口

RS1360/RS1362 通过一个功能多样的 3 线或 4 线串行接口进行控制，该接口的工作时钟频率最高可达 25 MHz，且兼容 SPI、QSPI、MICROWIRE 及 DSP 等接口标准。时序图如图 3 所示。输入数据由片选输入端 $\overline{CS}$ 进行帧同步。当 $\overline{CS}$ 从高电平转为低电平时，数据将在串行时钟 SCLK 的上升沿进行同步移位并锁存至输入寄存器中。数据首先以 16 位字长的形式加载。当 16 位数据全部加载到串行输入寄存器后， $\overline{CS}$ 从低电平转为高电平，将移位寄存器中的内容传输至 DAC。仅当 $\overline{CS}$ 处于低电平时，方可向器件加载数据。RS1360 配备了 $\overline{LDAC}$ 功能，可通过在 $\overline{CS}$ 由高电平转为低电平后将 $\overline{LDAC}$ 设为低电平，实现 DAC 锁存器的异步更新；在向移位寄存器写入数据期间， $\overline{LDAC}$ 应保持高电平。也可将 $\overline{LDAC}$ 永久设为低电平以实现 DAC 的同步更新。当 $\overline{LDAC}$ 永久设为低电平时， $\overline{CS}$ 的上升沿将数据加载至 DAC。

10.3 单极性输出工作模式

这些 DAC 能够驱动阻抗为 60 kΩ 的无缓冲负载。RS1362 提供从 0V 到 V_{REF} 的单极性输出摆幅；RS1360 可配置为输出单极性或双极性电压。图 19 展示了典型的单极性输出电压电路；该工作模式对应的码字见表 1。

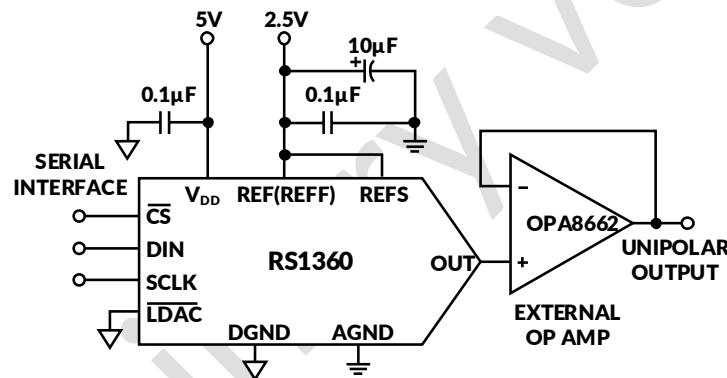


图 19. 单极性输出

表 1. 单极性码字表

DAC 锁存器内容		模拟输出
MSB	LSB	
1111 1111 1111 1111		$V_{REF} \cdot (65535/65536)$
1000 0000 0000 0000		$V_{REF} \cdot (32768/65536) = 1/2 V_{REF}$
0000 0000 0000 0001		$V_{REF} \cdot (1/65536)$
0000 0000 0000 0000		0V

在理想参考条件下，单极性最坏情况输出电压可由以下公式计算得出：

$$V_{OUT-UNI} = \frac{D}{2^{16}} \cdot (V_{REF} + V_{GE}) + V_{ZSE} + INL$$

其中：

$V_{OUT-UNI}$ 表示单极性模式下的最坏情况输出值。

D 为加载至 DAC 的编码值。

V_{REF} 为施加于器件上的基准电压。

V_{GE} 为增益误差（单位：V）。

V_{ZSE} 为零点误差（单位：V）。

INL 为积分非线性度（单位：V）。

10.4 双极性输出工作模式

借助外部运算放大器，RS1360 可配置为提供双极性电压输出。此类工作模式的典型电路如图 20 所示。匹配的双极性失调电阻 R_{FB} 与 R_{INV} 连接至外部运算放大器，以实现该双极性输出摆幅，通常 $R_{FB} = R_{INV} = 28\text{ k}\Omega$ 。表 2 展示了该输出工作模式下的传递函数。此外，RS1360 还提供了一组用于连接模拟接地输入端的开尔文接口。

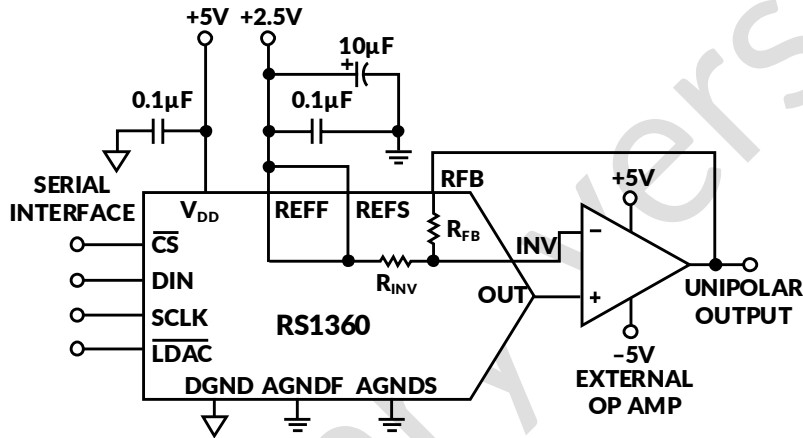


图 20. 双极性输出 (仅适用于 RS1360)

表 2. 双极性码字表

DAC 锁存器内容		模拟输出
MSB	LSB	
1111 1111 1111 1111		$+V_{REF} * (32767/32768)$
1000 0000 0000 0001		$+V_{REF} * (1/32768)$
1000 0000 0000 0000		0V
0111 1111 1111 1111		$-V_{REF} * (1/32768)$
0000 0000 0000 0000		$-V_{REF} * (32768/32768) = -V_{REF}$

在理想参考条件下，最坏情况下的双极性输出电压可由以下公式计算得出：

$$V_{OUT-BIP} = \frac{[(V_{OUT-UNI} + V_{OS})(2 + RD) - V_{REF}(1 + RD)]}{1 + (2 + RD)/A}$$

其中：

$V_{OUT-BIP}$ 表示双极性模式下的最坏情况输出。

$V_{OUT-UNI}$ 表示单极性模式下的最坏情况输出。

V_{OS} 为外部运算放大器的输入失调电压。

RD 为 R_{FB} 与 R_{INV} 电阻的匹配误差。

A 为运算放大器的开环增益。

10.5 输出放大器选择

在双极性工作模式下，应采用精密放大器并为其提供双电源供电，从而获得 $\pm V_{REF}$ 输出。在单电源应用中，选择合适的运算放大器可能更为困难，因为该放大器的输出摆幅通常不包含负电源轨（本例中为 AGND）。除非应用中不涉及接近零值的信号，否则这种情况可能会导致指定性能指标有所下降。

所选运算放大器需具有极低的失调电压（当基准电压为 2.5 V 时，DAC LSB 为 38 μ V），以消除对输出失调量进行微调的必要性。输入偏置电流也应非常小，因为偏置电流乘以 DAC 输出阻抗（约为 6 k Ω ）会叠加到零码误差上。系统需具备轨对轨的输入与输出性能。为实现快速归零，运算放大器的压摆率不应影响 DAC 的归零时间。DAC 的输出阻抗为恒定值且与码字无关；但为最小化增益误差，输出放大器的输入阻抗应尽可能高。该放大器还应具有 1 MHz 或更高的 3 dB 带宽。该放大器为系统引入了另一个时间常数，从而增加了输出端的归零时间。较高的 3 dB 放大器带宽可缩短 DAC 与放大器组合系统的有效归零时间。

10.6 力检测放大器选择

采用单电源、低噪声放大器。建议在高频段采用低输出阻抗的放大器，因为此类放大器需能够处理高达 ± 20 mA 的动态电流。

10.7 基准源和接地

由于输入阻抗取决于所采用的编码方式，因此基准端应由低阻抗电源驱动。RS1360 的工作电压基准范围为 2.5 V 至 V_{DD} ；若基准电压低于 2.5 V，则会导致精度下降。DAC 的满量程输出电压由基准电压决定。表 1 和表 2 列出了特定数字编码对应的模拟输出电压值。为获得最佳性能，RS1360 提供了开尔文检测连接接口；若应用无需单独设置力线与传感线，则应将这两条线路就近连接至封装引脚，以最大限度地减小封装引脚与内部芯片之间的电压降。

10.8 上电复位

RS1360/RS1362 具有上电复位功能，可确保设备通电时输出端处于已知状态。在通电时，DAC 寄存器初始值为全 0，直至数据从串行寄存器加载完毕；然而，串行寄存器在通电时并未被清零，因此其当前内容未定义。在首次向 DAC 加载数据时，应加载 16 位或更多位的数据，以防止输出端出现错误数据；若加载位数超过 16 位，则保留最后 16 位；若加载位数少于 16 位，则保留来自前一个字的剩余位。若 RS1360 需要与长度小于 16 位的数据进行接口连接，则应使用 0 对 LSB 位进行填充。

10.9 电源与基准旁路

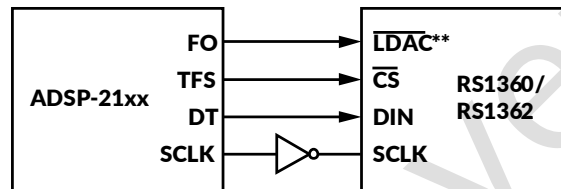
为确保精确的高分辨率性能，建议在基准电压引脚与电源引脚之间并联使用一个 10 μ F 的钽电容与一个 0.1 μ F 的陶瓷电容进行旁路。

11 微处理器接口

微处理器与 RS1360 之间采用串行总线接口，该总线采用与 DSP 处理器及微控制器兼容的标准协议。该通信通道需采用 3 线或 4 线接口，包含时钟信号、数据信号及同步信号。RS1360 要求使用 16 位数据字，且数据在 SCLK 的上升沿有效。DAC 更新可随所有数据时钟同步自动完成，亦可由 $\overline{\text{LDAC}}$ 控制完成。

11.1 RS1360 与 ADSP-21XX 接口

图 21 展示了 RS1360 与 ADSP-21xx 之间的串行接口电路。ADSP-21xx 应配置为“SPORT 模式发送交替成帧模式”。ADSP-21xx 通过 SPORT 控制寄存器进行编程，其配置应如下：内部时钟驱动、低电平有效帧同步、16 位字长。在启用 SPORT 模式后，通过向 Tx 寄存器写入一个字即可启动数据传输。由于数据在串行时钟的每个上升沿被输出，而 RS1360 在 SCLK 的下降沿锁存输入数据，因此在 DSP 与 DAC 之间需加一个反相器。

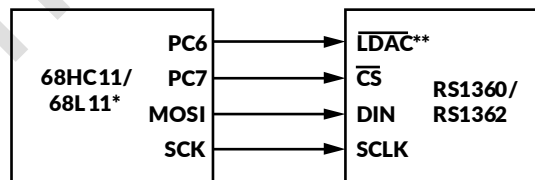


*ADDITIONAL PINS OMITTED FOR CLARITY.
**RS1360 ONLY

图 21. RS1360/RS1362 与 ADSP-21xx 接口

11.2 RS1360 与 68HC11/68L11 接口

图 22 展示了 RS1360 与 68HC11/68L11 微控制器之间的串行接口电路。68HC11/68L11 的 SCK 信号驱动 DAC 的 SCLK 引脚，而 MOSI 输出信号则驱动串行数据线 DIN。 $\overline{\text{CS}}$ 信号由其中一个端口线驱动。68HC11/68L11 配置为主模式：MSTR = 1, CPOL = 0, CPHA = 0。MOSI 引脚上输出的数据在 SCK 的上升沿保持有效。

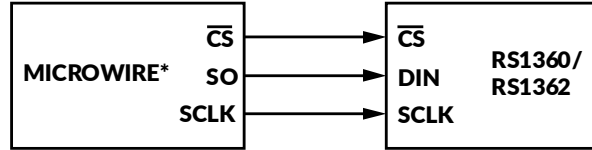


*ADDITIONAL PINS OMITTED FOR CLARITY.
**RS1360 ONLY

图 22. RS1360/RS1362 与 68HC11/68L11 接口

11.3 RS1360 与 MICROWIRE 接口

图 23 展示了 RS1360 与任意兼容 MICROWIRE 器件之间的接口电路。串行数据在串行时钟的下降沿被移出，而在串行时钟的上升沿被输入至 RS1360。由于 DAC 在时钟的上升沿将数据输入至输入移位寄存器中，因此无需额外的粘合逻辑。



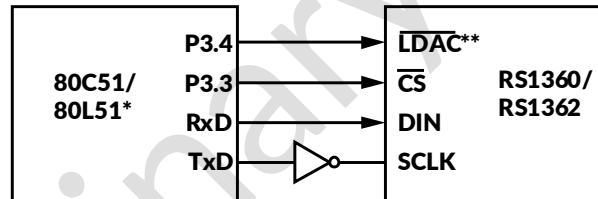
*ADDITIONAL PINS OMITTED FOR CLARITY.

图 23. RS1360/RS1362 与 MICROWIRE 接口

11.4 RS1360 与 80C51/80L51 接口

图 24 展示了 RS1360 与 80C51/80L51 微控制器之间的串行接口电路。微控制器的 TxD 引脚驱动 RS1360 的 SCLK 引脚，而 RxD 引脚驱动 DAC 的串行数据线。P3.3 是串行端口上一个可编程位的引脚，用于驱动 $\overline{CS}$ 引脚。

80C51/80L51 采用 LSB 优先的传输方式，而 RS1360 则要求先接收 16 位字长的 MSB。编写发送程序时应充分考虑这一差异。当向 DAC 发送数据时，P3.3 应置为低电平；RxD 上的数据在 TxD 的下降沿有效，因此需对时钟信号进行反相处理——即在串行时钟的上升沿将数据加载至输入移位寄存器中。80C51/80L51 以 8 位字节形式发送数据，其发送周期内仅出现 8 次时钟下降沿。由于 DAC 需要 16 位字长，因此在传输前 8 位数据后，应保持 P3.3 为低电平；而在传输第二个字节后，应将 P3.3 提升为高电平。此外，RS1360 上的 $\overline{LDAC}$ 也可通过 80C51/80L51 的串行端口输出来控制，具体可通过另一个可编程位 P3.4 实现。



*ADDITIONAL PINS OMITTED FOR CLARITY.

**RS1360 ONLY

图 24. RS1360/RS1362 与 80C51/80L51 接口

12 应用信息

12.1 光耦合器接口

RS1360 的数字输入端采用施密特触发器设计，因此能够接收数字输入线上的缓慢电平跳变信号。这一特性使该器件非常适合用于需要通过光耦合器将 DAC 与控制器隔离的工业应用场合。图 25 展示了此类接口配置。

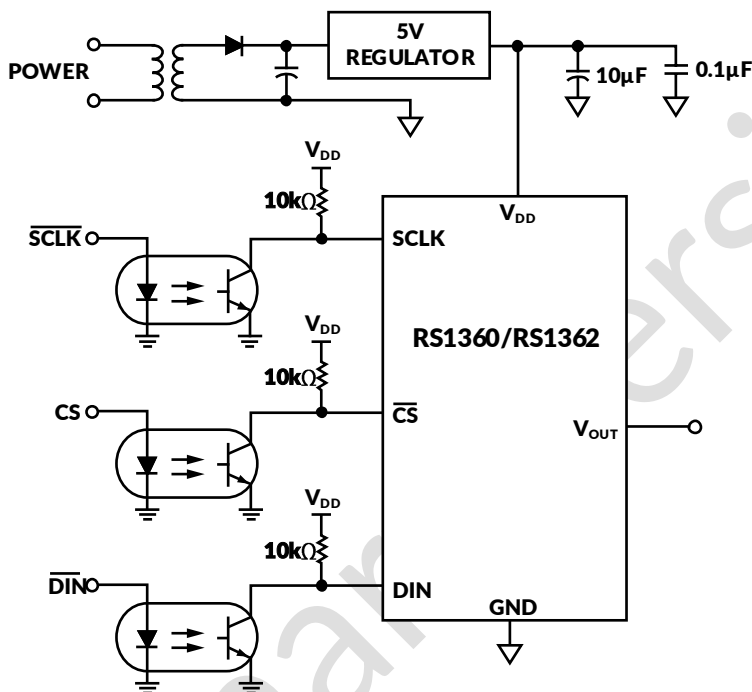


图 25. RS1360/RS1362 用于光耦合器接口

12.2 多片 RS1360 解码

RS1360 的 $\overline{CS}$ 引脚支持多 DAC 系统的片选寻址功能。系统中所有器件均接收相同的串行时钟和串行数据，但任一时刻仅有一个器件接收 CS 信号；被选中的 DAC 由解码器确定。数字输入端存在一定的数字馈通效应；采用突发时钟可最大限度地降低数字串扰对模拟信号通道的影响。图 26 展示了一个典型电路。

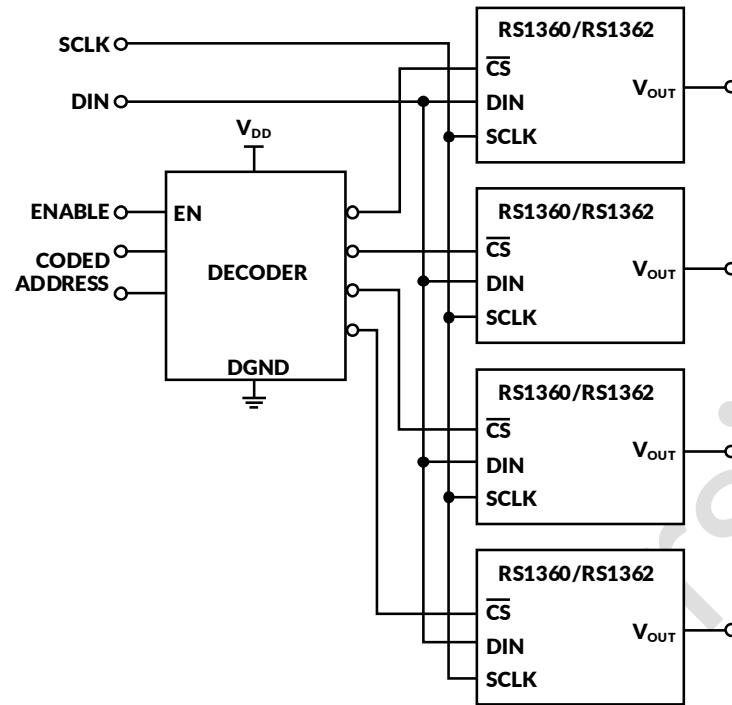
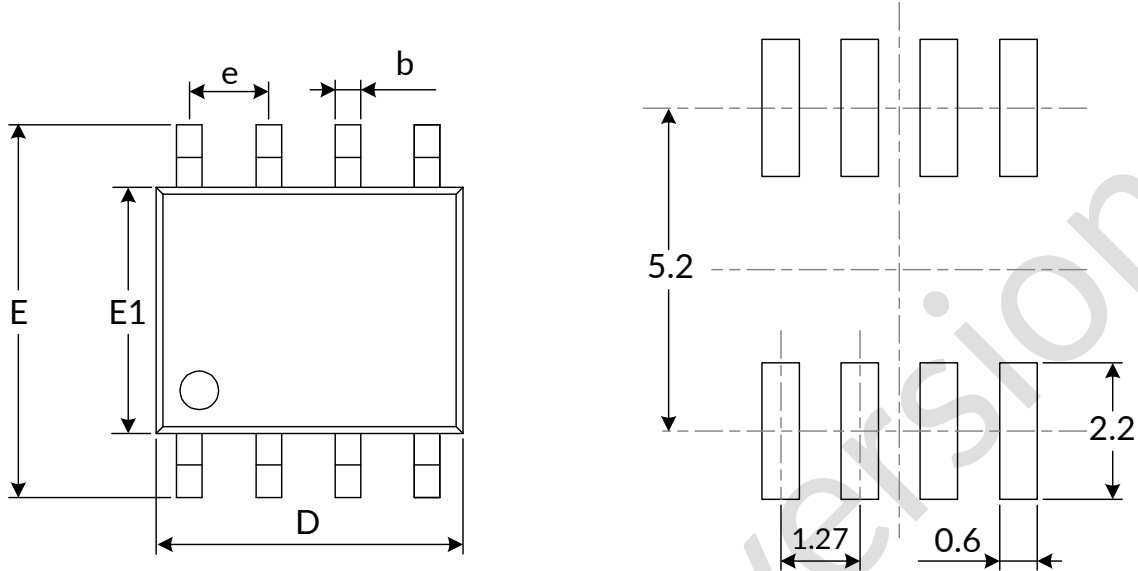


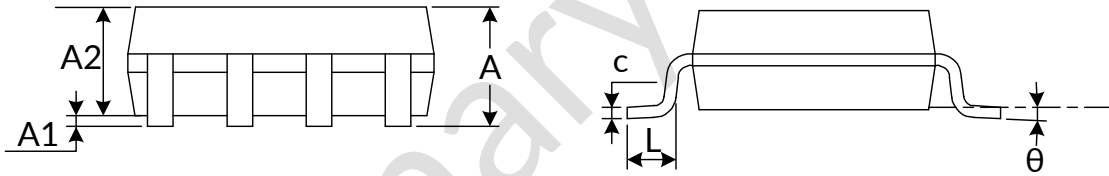
图 26. 多片 RS1360/RS1362 寻址

13 封装规格尺寸

SOP8⁽³⁾



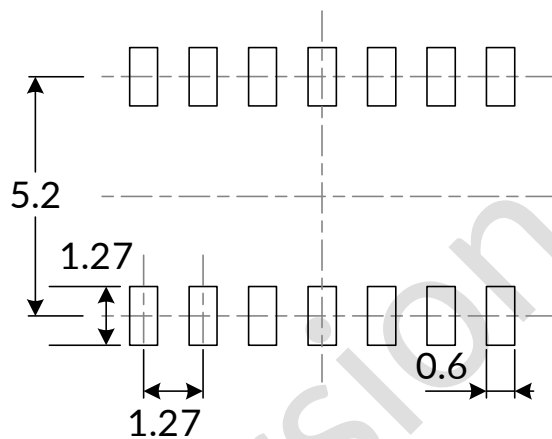
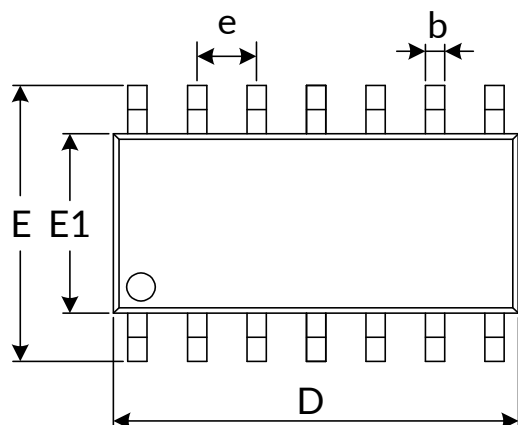
推荐焊盘尺寸 (单位: 毫米)



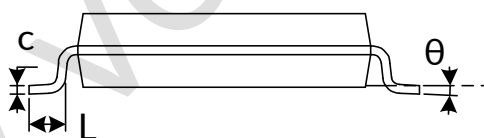
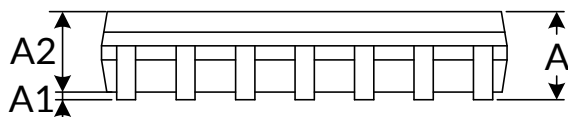
符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D ⁽¹⁾	4.800	5.000	0.189	0.197
e	1.270(BSC) ⁽²⁾		0.050(BSC) ⁽²⁾	
E	5.800	6.200	0.228	0.244
E1 ⁽¹⁾	3.800	4.000	0.150	0.157
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

注意:

1. 不包括每侧最大 0.15mm 的塑封料或金属突起。
2. BSC (基本中心间距), “基本”间距为标称间距。
3. 本图如有更改, 恕不另行通知。

SOP14⁽³⁾


推荐焊盘尺寸 (单位: 毫米)



符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.310	0.510	0.012	0.020
c	0.100	0.250	0.004	0.010
D ⁽¹⁾	8.450	8.850	0.333	0.348
e	1.270(BSC) ⁽²⁾		0.050(BSC) ⁽²⁾	
E	5.800	6.200	0.228	0.244
E1 ⁽¹⁾	3.800	4.000	0.150	0.157
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

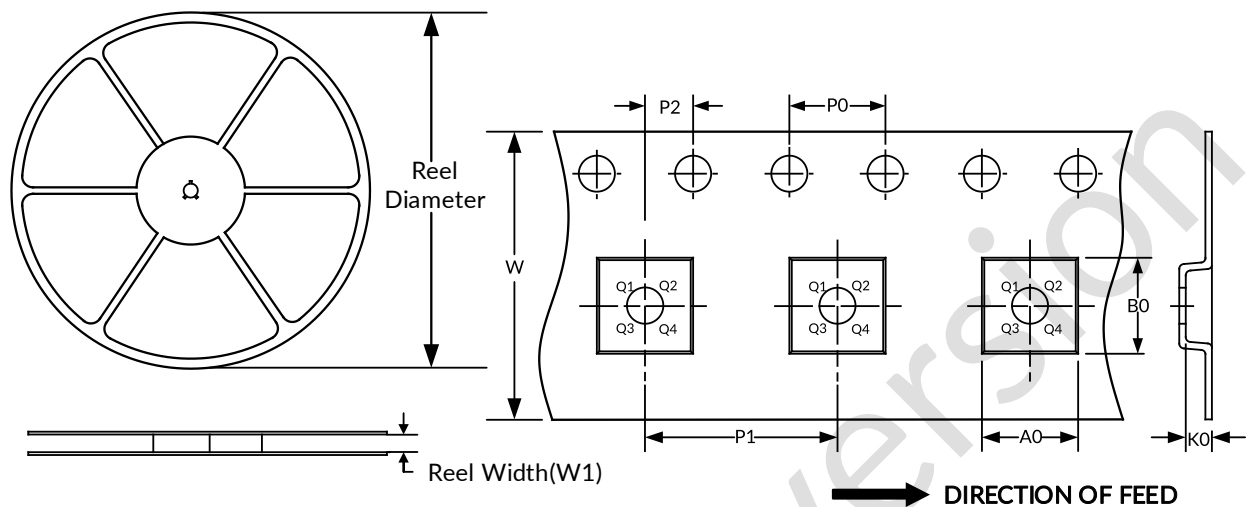
注意:

1. 不包括每侧最大 0.15mm 的塑封料或金属突起。
2. BSC (基本中心间距), “基本”间距为标称间距。
3. 本图如有更改, 恕不另行通知。

14 包装规格尺寸

卷盘尺寸

编带尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter	Reel Width(mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
SOP8	13"	12.4	6.40	5.40	2.10	4.0	8.0	2.0	12.0	Q1
SOP14	13"	16.4	6.60	9.30	2.10	4.0	8.0	2.0	16.0	Q1

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。

重要通知及免责声明

江苏 Runic 科技有限公司将准确可靠地提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、WEB 工具、安全信息等资源, 不保证无任何缺陷, 也不作任何明示或暗示的保证, 包括但不限于适用性保证, 暗示其适用于特定目的的应用。且没有侵犯任何第三方的知识产权。

这些资源适用于使用 Runic 产品设计的熟练开发人员, 您将全权负责: (1)为您的应用程序选择合适的产品; (2)设计、验证和测试您的应用程序; (3) 确保您的应用程序符合适用标准、安全标准或其他要求; (4) Runic 及 Runic 标识为 Runic Incorporated 的注册商标。所有商标均为其各自所有者的财产; (5) 对于发生改变的细节, 应查看修订文件中包含的修订历史。资源如有更改, 恕不另行通知。本公司对使用本芯片设计的终端产品的侵犯专利的行为或侵犯第三方知识产权的行为不承担任何连带责任。