

RS1324 具有轨到轨输出的 12 位微型四通道数字模拟转换器

1 特性

- 确保单调性
- 低功耗运行
- 轨到轨电压输出
- 上电复位至 0V
- 同步更新输出
- 宽电源范围: 2.7V ~ 5.5V
- 小型封装
- 掉电功能
- 分辨率: 12 位
- INL: +1.2/-1.2 LSB (典型值)
- DNL: +0.3/-0.2 LSB (典型值)
- 建立时间: 2 μ s (典型值)
- 零码误差: 4.3mV (典型值)
- 满量程误差: $\pm 0.01\%$ FS (典型值)
- 电源:
 - 正常模式: 1.13mW (3V) 或 2.54mW (5V) (典型值)
 - 掉电模式: 0.03 μ W (3V) 或 0.15 μ W (5V) (典型值)

2 应用

- 电池供电仪器
- 数字增益和偏移调节
- 可编程电压和电流源
- 可编程衰减器

3 概述

RS1324 器件是一款全功能通用型四通道 12 位电压输出数模转换器 (DAC)，可在单电源 2.7V 至 5.5V 范围内工作，功耗为 3V 时 1.13mW 或 5V 时 2.54mW。RS1324 采用 MSOP10 封装。

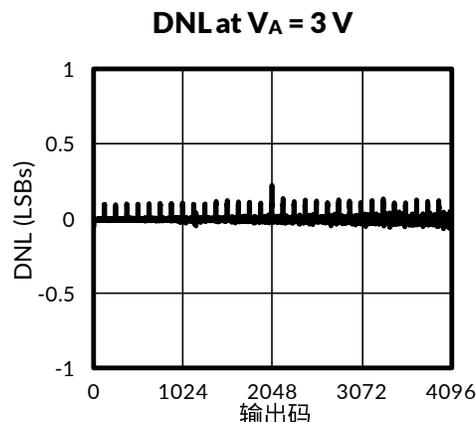
片内输出放大器支持轨到轨输出摆幅，三线串行接口在整个电源电压范围内的工作时钟频率高达 40MHz。串行接口兼容标准 SPI、QSPI、MICROWIRE 和 DSP 接口。

RS1324 的基准电压源覆盖全部四通道，其电压范围可在 1V 至 V_A 之间自由调节，从而实现最宽的输出动态范围。该器件内置 16 位输入移位寄存器，可控制输出信号更新、工作模式切换、掉电状态检测以及二进制输入数据。通过配置两个工作模式位，可实现四通道输出同步更新或独立更新。

器件信息⁽¹⁾

型号	封装	封装尺寸 (标称值)
RS1324	MSOP10	3.00mm \times 3.00mm

(1) 详细的订单型号说明，请参考数据表后的封装选项部分。



目录

1 特性	1
2 应用	1
3 概述	1
4 修订历史	3
5 封装和订单说明⁽¹⁾	4
6 引脚定义和功能	5
7 规格	6
7.1 绝对最大额定参数.....	6
7.2 ESD 等级.....	6
7.3 推荐工作条件.....	7
7.4 热信息.....	7
7.5 典型电气参数.....	8
7.6 交流和时序特性.....	11
7.7 典型参数曲线.....	13
8 详细说明	18
8.1 概览.....	18
8.2 功能框图.....	18
8.3 特性说明.....	19
8.3.1 DAC 架构.....	19
8.3.2 输出放大器.....	19
8.3.3 参考电压.....	19
8.3.4 上电复位.....	20
8.4 器件功能模式.....	20
8.4.1 掉电模式.....	20
8.5 编程.....	20
8.5.1 串行接口.....	20
8.5.2 输入移位寄存器.....	21
8.5.3 微处理器接口.....	21
8.5.4 双极性操作.....	21
9 PCB 版图设计	23
9.1 PCB 布局设计注意事项.....	23
9.2 PCB 布局示意图.....	23
10 封装规格尺寸	24
11 包装规格尺寸	25

4 修订历史

注意: 更新前的版本页码可能与当前版本不同。

版本	更新日期	变更项目
A.0	2025/01/02	初始版
A.0.1	2025/08/21	1. 更新典型电气参数和典型参数曲线 2. 增加热信息 3. 增加应用曲线和 PCB 布局示意图

Preliminary version

5 封装和订单说明⁽¹⁾

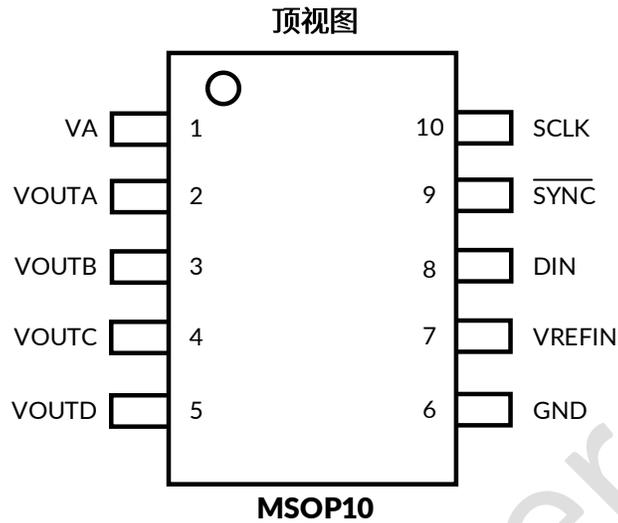
产品名称	订单型号	温度范围	封装类型	丝印 ⁽²⁾	MSL ⁽³⁾	包装规格
RS1324	RS1324XN	-40°C ~125°C	MSOP10	RS1324	MSL1	Tape and Reel, 4000

注意:

- (1) 该信息是当前版本的最新数据。这些数据如有更新，将及时更新到我司官网，恕不另行通知。
- (2) 丝印可能会有其他附加的代码，用于产品的内控追溯（包括数据代码和供应商代码）或者标志产地。
- (3) Runic 装配厂使用符合 JEDEC 工业标准 J-STD-20F 的通用预处理设置对 MSL 级别进行分类。如果您的最终应用对预处理设置非常关键，或者您有特殊要求，请与 Runic 技术支持联系。

Preliminary version

6 引脚定义和功能



引脚功能

引脚名称	SOT	类型 ⁽¹⁾	功能说明
V _A	1	S	电源输入。应与 GND 去耦。
V _{OUTA}	2	O	通道 A 模拟输出电压。
V _{OUTB}	3	O	通道 B 模拟输出电压。
V _{OUTC}	4	O	通道 C 模拟输出电压。
V _{OUTD}	5	O	通道 D 模拟输出电压。
GND	6	G	为所有片内电路提供接地基准。
V _{REFIN}	7	I	各通道共享无缓冲基准电压，必须通过去耦电容接地。
D _{IN}	8	I	串行数据输入。在 $\overline{\text{SYNC}}$ 信号变为低电平后，数据在 SCLK 时钟下降沿锁存至 16 位移位寄存器。
$\overline{\text{SYNC}}$	9	I	数据输入的帧同步信号输入。当该引脚处于低电平时，会启用输入移位寄存器，数据将在 SCLK 下降沿进行传输。DAC 在第 16 个时钟周期更新输出；若 $\overline{\text{SYNC}}$ 在第 16 个时钟前拉高，其上升沿将触发中断，当前写入操作被 DAC 忽略。
SCLK	10	I	串行时钟输入。数据在该引脚下降沿锁存至输入移位寄存器。

(1) G = 接地管脚, I = 输入管脚, O = 输出管脚, 和 S = 供电管脚。

7 规格

7.1 绝对最大额定参数

在自然通风温度范围内（除非特别注明）⁽¹⁾⁽²⁾

	最小值	最大值	单位
电源电压, V_A		6.5	V
任意输入引脚上的电压	-0.3	6.5	V
任意引脚的输入电流 ⁽³⁾		10	mA
封装输入电流 ⁽³⁾		20	mA
$T_A = 25^\circ\text{C}$ 功耗	See ⁽⁴⁾		
结温, T_J ⁽⁴⁾		150	$^\circ\text{C}$
储存温度, T_{stg}	-65	150	$^\circ\text{C}$

- (1) 这里只表示产品在测试条件下得到的极限值，并不表示产品在这些条件下或者其他超出规格限定的参数条件下能够正常工作，超过上述绝对最大额定值所规定的范围将对产品造成损害，无法预测产品在上述条件外的工作状态。如果产品长期在上述条件外的条件下工作，可能影响产品性能。
- (2) 所有电压测量均以接地端 (GND=0V) 为基准，除非特别注明。
- (3) 当任意引脚输入电压超过 5.5V 或低于 GND 时，该引脚电流必须限制在 10mA 以内。因封装最大输入电流额定值为 20mA，故最多允许两个引脚在超过电源范围时以 10mA 电流工作。
- (4) 器件最高结温 (T_{JMAX}) 为 150°C 。最大允许功耗由 T_{JMAX} 、结至环境热阻 (θ_{JA}) 及环境温度 (T_A) 共同决定，计算公式为： $P_{DMAX} = (T_{JMAX} - T_A) / \theta_{JA}$ 。需注意，最大功耗值仅在严重故障状态下才会达到（例如输入/输出引脚电压超出电源范围或电源极性反接），此类情况必须严格避免。

7.2 ESD 等级

以下 ESD 信息仅针对在防静电保护区内操作的敏感设备。

		标称值	单位
$V_{(ESD)}$	静电放电	人体模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 规范 ⁽¹⁾	V
		带电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	

- (1) JEDEC 文件 JEP155 指出，500V HBM 允许使用标准 ESD 控制过程进行安全制造。
- (2) JEDEC 文件 JEP157 指出，250V CDM 允许使用标准 ESD 控制过程进行安全制造。



ESD 灵敏性警告

ESD 损坏的范围可以从细微的性能下降到完全的设备失效。精密集成电路可能更容易受到损坏，因为非常小的参数变化有可能导致器件不符合其公布的参数规格。

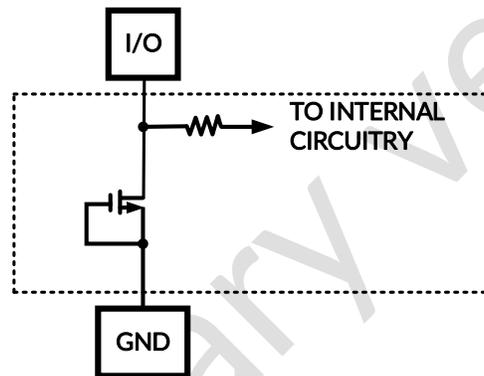
7.3 推荐工作条件

在自然通风温度范围内（除非特别注明）⁽¹⁾

		最小值	最大值	单位
V_A	电源电压	2.7	5.5	V
V_{REFIN}	基准电压	1	V_A	V
	数字输入电压 ⁽²⁾	0	5.5	V
	输出负载	0	1500	pF
	SCLK 频率		40	MHz
T_A	自然通风条件下的工作温度范围	-40	125	°C

(1) 所有电压均以 $GND = 0V$ 为基准测量，除非另有说明。

(2) 输入保护如下所示，输入电压幅值高达 5.5V，无论 V_A 是多少，都不会导致转换结果错误，例如 V_A 为 3V 时，数字输入引脚可由 5V 逻辑器件驱动。



7.4 热信息

热学指标 ⁽¹⁾⁽²⁾	RS1324XN	单位	
	MSOP10		
	10 引脚		
$R_{\theta JA}$	结至环境热阻	240	°C/W
$R_{\theta JC (top)}$	结至壳（顶部）热阻	53.3	°C/W
$R_{\theta JB}$	结至环境热阻	78.9	°C/W
Ψ_{JT}	结至顶部特征参数	4.8	°C/W
Ψ_{JB}	结至电路板特征参数	77.6	°C/W
$R_{\theta JC (bot)}$	结至壳（底部）热阻	—	°C/W

(1) 有关传统及新型热学指标的详细信息，请参阅《半导体与 IC 封装热学指标应用报告》。

(2) 无铅封装的回流焊温度曲线与含铅封装不同。

7.5 典型电气参数

$T_A = 25^\circ\text{C}$, $V_A = 2.7\text{V} \sim 5.5\text{V}$, $V_{\text{REFIN}} = V_A$, $C_L = 200\text{pF}$ 至 GND, $f_{\text{SCLK}} = 30\text{MHz}$, 输入码范围 48 至 4047 (除非特别注明)。

参数		测试条件		最小值	典型值 ⁽⁴⁾	最大值	单位
静态性能							
	分辨率	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		12			Bits
	单调性	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		12			Bits
INL	积分非线性	$T_A = 25^\circ\text{C}$		-3.1	+1.2/-1.2	2.3	LSB
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			+2/-1.3		
DNL	微分非线性	$V_A = 2.7\text{V to } 4.5\text{V}$	$T_A = 25^\circ\text{C}$	-0.5	+0.3/-0.2	0.7	LSB
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		+0.35/-0.2		
		$V_A = 4.5\text{V to } 5.5\text{V}$	$T_A = 25^\circ\text{C}$		+0.15/-0.1	LSB	
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		+0.2/-0.2		
ZE	零码误差	$I_{\text{OUT}} = 0\text{mA}$	$T_A = 25^\circ\text{C}$		4.3	mV	
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		4.7		
			$T_A = 25^\circ\text{C}, V_A = 2.7\text{V}$		4.7		
FSE	满量程误差	$I_{\text{OUT}} = 0\text{mA}$	$T_A = 25^\circ\text{C}$		-0.01	± 0.1	%FSR
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		-0.04		
GE	增益误差	所有都加载到 DAC 寄存器	$T_A = 25^\circ\text{C}$		-0.1	± 0.25	%FSR
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		-0.2		
ZCED	零码误差温漂				8		$\mu\text{V}/^\circ\text{C}$
TC GE	增益误差温漂	$V_A = 3\text{V}$			-0.3		ppm
		$V_A = 5\text{V}$			-0.2		FSR/ $^\circ\text{C}$
输出特性 (V_{OUT})							
	输出电压范围 ⁽²⁾	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		0		V_{REFIN}	V
I_{OZ}	高阻抗输出漏电流 ⁽²⁾	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			+1		μA
ZCO	零码输出	$V_A = 2.7\text{V}, I_{\text{OUT}} = 200\ \mu\text{A}$			9	11	mV
		$V_A = 2.7\text{V}, I_{\text{OUT}} = 1\text{mA}$			38	45	
		$V_A = 5.5\text{V}, I_{\text{OUT}} = 200\ \mu\text{A}$			5	7	
		$V_A = 5.5\text{V}, I_{\text{OUT}} = 1\text{mA}$			21	23	
FSO	满量程输出	$V_A = 2.7\text{V}, I_{\text{OUT}} = 200\ \mu\text{A}$		2.686	2.687	V	
		$V_A = 2.7\text{V}, I_{\text{OUT}} = 1\text{mA}$		2.638	2.642		
		$V_A = 5.5\text{V}, I_{\text{OUT}} = 200\ \mu\text{A}$		5.492	5.493		
		$V_A = 5.5\text{V}, I_{\text{OUT}} = 1\text{mA}$		5.466	5.468		
I_{OS}	输出短路电流 (拉)	$V_A = 3\text{V}, V_{\text{OUT}} = 0\text{V}, \text{输入码} = \text{FFFh}$			-38	mA	
		$V_A = 5\text{V}, V_{\text{OUT}} = 0\text{V}, \text{输入码} = \text{FFFh}$			-40		
I_{OS}	输出短路电流 (灌)	$V_A = 3\text{V}, V_{\text{OUT}} = 3\text{V}, \text{输入码} = 000\text{h}$			60	mA	
		$V_A = 5\text{V}, V_{\text{OUT}} = 5\text{V}, \text{输入码} = 000\text{h}$			62		
I_{O}	持续输出电流	在每个 DAC 输出有效, $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$				10	mA
C_L	最大负载电容	$R_L = \infty$			1500	pF	
		$R_L = 2\text{k}\Omega$			1500		
Z_{OUT}	DC 输出阻抗	$V_A = 2.7\text{V}, \text{输入码} = 7\text{FFh}$			0.42	Ω	
		$V_A = 5.5\text{V}, \text{输入码} = 7\text{FFh}$			0.35		

典型电气参数 (续)

$T_A = 25^\circ\text{C}$, $V_A = 2.7\text{V} \sim 5.5\text{V}$, $V_{\text{REFIN}} = V_A$, $C_L = 200\text{pF}$ 至 GND, $f_{\text{SCLK}} = 30\text{MHz}$, 输入码范围 48 至 4047 (除非特别注明)。

参数		测试条件		最小值	典型值 ⁽¹⁾	最大值	单位
基准输入特性							
$V_{\text{REFIN}}^{(3)}$	最小输入范围	$T_A = 25^\circ\text{C}$			0.2		V
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		1			
	最大输入范围	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$				V_A	V
	输入阻抗				30		k Ω
逻辑输入特性							
I_{IN}	输入电流	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			+1		μA
V_{IL}	输入低电压	$V_A = 3\text{V}$	$T_A = 25^\circ\text{C}$		0.7		V
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			0.6	
		$V_A = 5\text{V}$	$T_A = 25^\circ\text{C}$		1.3		V
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			0.8	
V_{IH}	输入高电压	$V_A = 3\text{V}$	$T_A = 25^\circ\text{C}$		1.4		V
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	2.1			
		$V_A = 5\text{V}$	$T_A = 25^\circ\text{C}$		2.1		V
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	2.4			
C_{IN}	输入电容	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			3		pF
电源要求							
$V_A^{(3)}$	最小电源电压	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		2.7			V
	最大电源电压	$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$				5.5	V
$I_{\text{N}}^{(4)}$	正常模式电源电流	$f_{\text{SCLK}} = 30\text{MHz}$, 空载输出, $V_A = 2.7\text{V}$ to 3.6V	$T_A = 25^\circ\text{C}$		376		μA
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			438	
		$f_{\text{SCLK}} = 30\text{MHz}$, 空载输出, $V_A = 4.5\text{V}$ to 5.5V	$T_A = 25^\circ\text{C}$		508		μA
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			586	
I_{PD}	掉电模式电源电流	所有 PD 模式, 空载输出, PD 模式负载后 $\overline{\text{SYNC}} = \text{DIN} = 0\text{V}$, $V_A = 2.7\text{V}$ to 3.6V	$T_A = 25^\circ\text{C}$		0.01	0.06	μA
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			1	
		所有 PD 模式, 空载输出, PD 模式负载后 $\overline{\text{SYNC}} = \text{DIN} = 0\text{V}$, $V_A = 4.5\text{V}$ to 5.5V	$T_A = 25^\circ\text{C}$		0.03	0.08	μA
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			2	
$P_{\text{N}}^{(4)}$	正常模式电源功耗	$f_{\text{SCLK}} = 30\text{MHz}$, 空载输出, $V_A = 2.7\text{V}$ to 3.6V	$T_A = 25^\circ\text{C}$		1.13		mW
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			1.58	
		$f_{\text{SCLK}} = 30\text{MHz}$, 空载输出, $V_A = 4.5\text{V}$ to 5.5V	$T_A = 25^\circ\text{C}$		2.54		mW
			$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$			3.22	
		$f_{\text{SCLK}} = 0\text{MHz}$, 空载输出	$V_A = 2.7\text{V}$ to 3.6V		0.61	0.71	mW
			$V_A = 4.5\text{V}$ to 5.5V		1.50	1.73	

典型电气参数 (续)

$T_A = 25^\circ\text{C}$, $V_A = 2.7\text{ V} \sim 5.5\text{ V}$, $V_{\text{REFIN}} = V_A$, $C_L = 200\text{ pF}$ 至 GND, $f_{\text{SCLK}} = 30\text{ MHz}$, 输入码范围 48 至 4047 (除非特别注明)。

参数		测试条件		最小值	典型值 ⁽²⁾	最大值 ⁽²⁾	单位
P _{PD}	掉电模式电源功耗	所有 PD 模式, 空载输出,	$V_A = 2.7\text{ V to } 3.6\text{ V}$		0.03	0.17	μW
		PD 模式负载后 $\overline{\text{SYNC}} = \text{DIN} = 0\text{ V}$	$V_A = 4.5\text{ V to } 5.5\text{ V}$		0.15	0.44	μW

(1) 典型值在 $T_J = 25^\circ\text{C}$ 时给出, 代表最可能的参数规范。测试限值指定为 AOQL (平均输出质量水平)。

(2) 该参数由设计和/或特性确定, 未在生产中进行测试。

(3) 为保证精度, 要求 V_A 和 V_{REFIN} 被良好地旁路。

(4) 该参数随 SCLK 和 SYNC 的频率变化, 测试条件为 $f_{\text{SCLK}} = 30\text{ MHz}$ 和 $f_{\text{SYNC}} = 588\text{ KHz}$ 。

Preliminary version

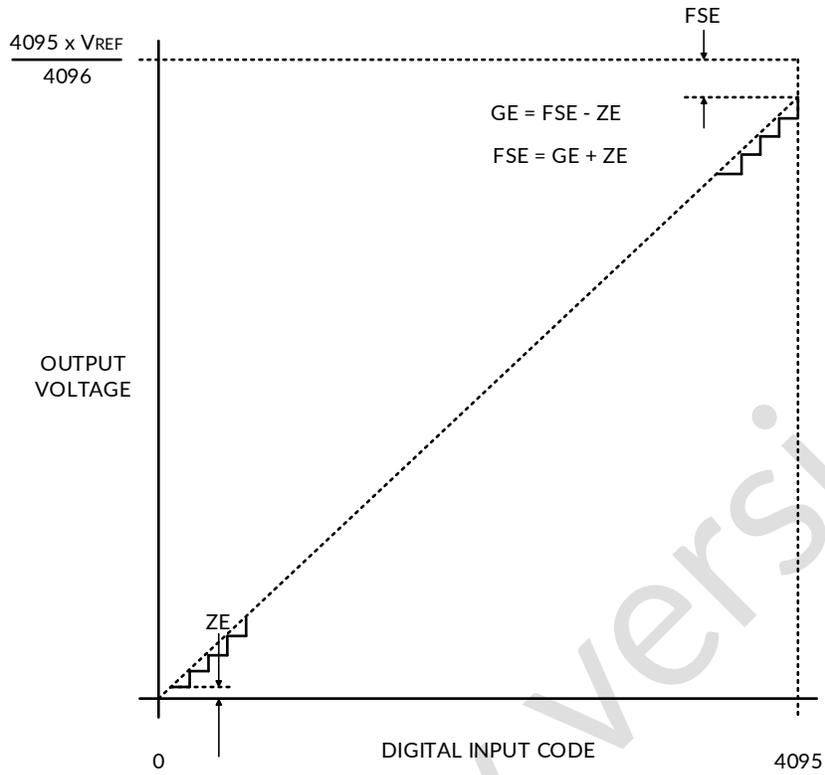
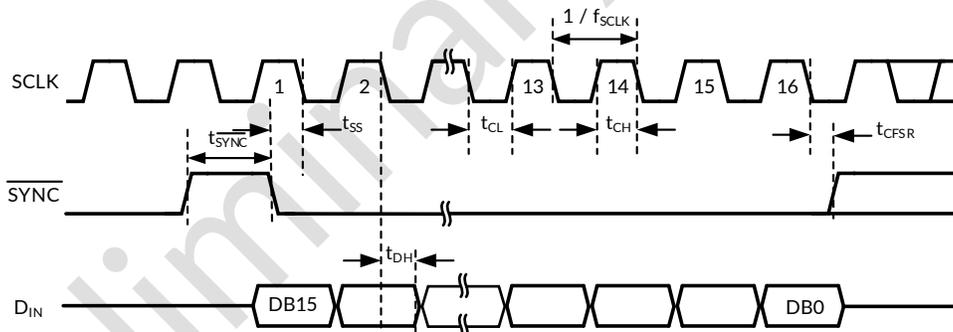
7.6 交流和时序特性

$T_A = 25^\circ\text{C}$, $V_A = 2.7\text{V} \sim 5.5\text{V}$, $V_{\text{REFIN}} = V_A$, $C_L = 200\text{pF}$ 至 GND, $f_{\text{SCLK}} = 30\text{MHz}$, 输入码范围 48 至 4047 (除非特别注明)。

参数		测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
f_{SCLK}	SCLK 频率	$T_A = 25^\circ\text{C}$		40		MHz
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		30		
t_s	输出电压建立时间 ⁽²⁾	400h 至 C00h 代码变更	$T_A = 25^\circ\text{C}$ $-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	2		μs
		$R_L = 2\text{k}\Omega, C_L = 200\text{pF}$		3		
SR	输出压摆率			1		V/ μs
	毛刺脉冲	代码从 800h 变更至 7FFh		25		nV-sec
	数字馈通			0.5		nV-sec
	数字串扰			1		nV-sec
	数模转换器间串扰			3		nV-sec
	倍增带宽	$V_{\text{REF}} = 2.5\text{V} \pm 0.1\text{V}_{\text{pp}}$		450		kHz
	总谐波失真	$V_{\text{REFIN}} = 2.5\text{V} \pm 0.1\text{V}_{\text{pp}}$ 输入频率 = 10 kHz		90		dB
t_{WU}	唤醒时间	$V_A = V_{\text{REF}} = 3\text{V}$		4		μs
		$V_A = V_{\text{REF}} = 5\text{V}$		8		
$1/f_{\text{SCLK}}$	SCLK 周期时间	$T_A = 25^\circ\text{C}$		33		ns
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$		33		
t_{CH}	SCLK 高电平时间	$T_A = 25^\circ\text{C}$		7		ns
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	10			
t_{CL}	SCLK 低电平时间	$T_A = 25^\circ\text{C}$		7		ns
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	10			
t_{SS}	SCLK 下降沿前 SYNC 建立时间	$T_A = 25^\circ\text{C}$		7		ns
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	10			
t_{DS}	SCLK 下降沿前数据建立时间	$T_A = 25^\circ\text{C}$		4		ns
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	5			
t_{DH}	SCLK 下降沿后数据保持时间	$T_A = 25^\circ\text{C}$		4		ns
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	5			
t_{CFSR}	SCLK 下降沿至 SYNC 上升沿时间	$T_A = 25^\circ\text{C}$		3		ns
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	4			
t_{SYNC}	SYNC 高电平时间	$T_A = 25^\circ\text{C}$		9		ns
		$-40^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$	10			

(1) 典型值在 $T_J = 25^\circ\text{C}$ 时给出, 代表最可能的参数规范。测试限值指定为 AOQL (平均输出质量水平)。

(2) 该参数由设计和/或特性确定, 未在生产中进行测试。


图 1. 输入/输出传输特性

图 2. 串行时序图

7.7 典型参数曲线

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$T_A = 25^\circ\text{C}$, $V_{REF} = V_A$, $f_{SCLK} = 30\text{ MHz}$, 输入码范围 48 至 4047 (除非特别注明)

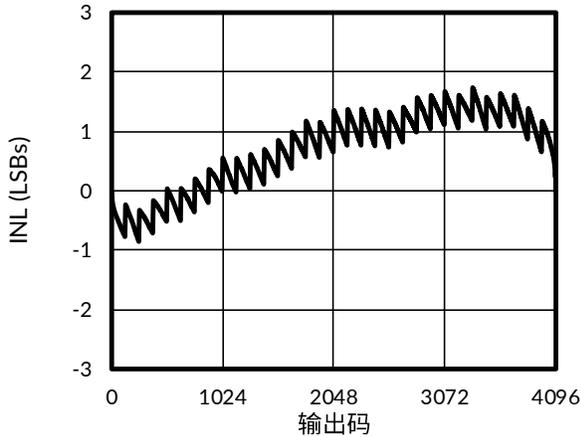


图 3. $V_A = 3\text{V}$ 时的积分非线性 (INL) 曲线

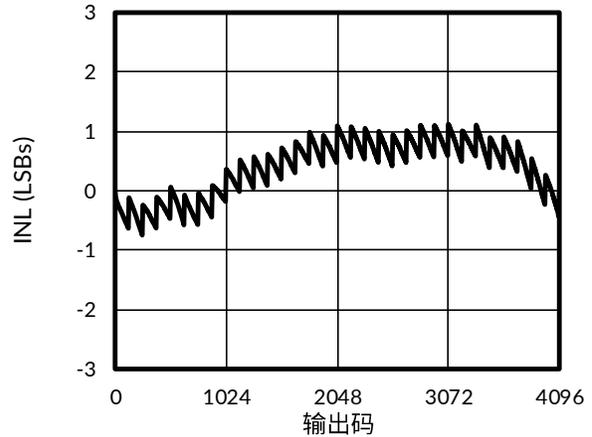


图 4. $V_A = 5\text{V}$ 时的积分非线性 (INL) 曲线

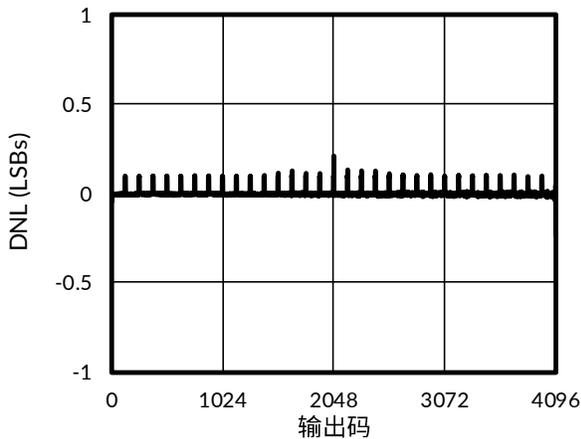


图 5. $V_A = 3\text{V}$ 时的微分非线性 (DNL) 曲线

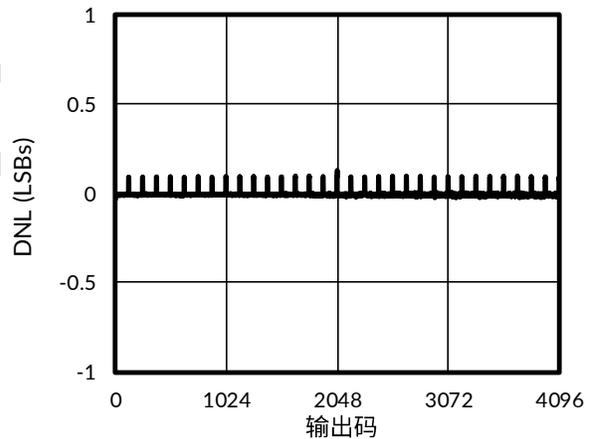


图 6. $V_A = 5\text{V}$ 时的微分非线性 (DNL) 曲线

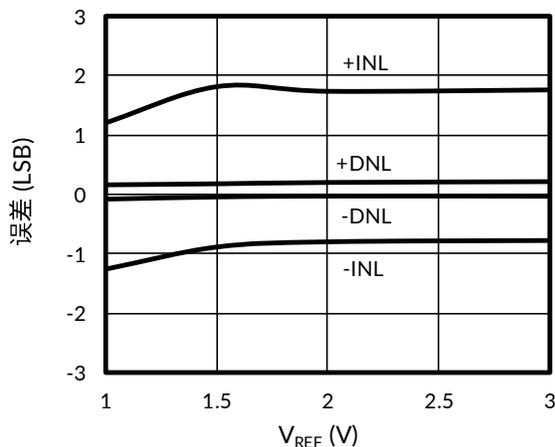


图 7. $V_A = 3\text{V}$ 时 INL/DNL 与 V_{REFIN} 的关系

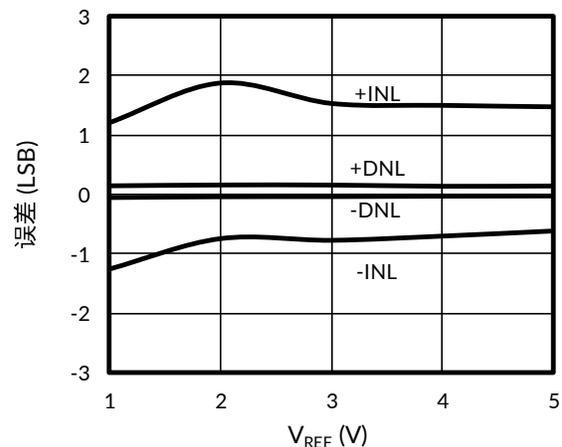


图 8. $V_A = 5\text{V}$ 时 INL/DNL 与 V_{REFIN} 的关系

典型参数曲线 (续)

注意: 本说明后面提供的图表和表格是基于有限数量样本的统计摘要, 仅供参考。

$T_A = 25^\circ\text{C}$, $V_{\text{REF}} = V_A$, $f_{\text{SCLK}} = 30\text{ MHz}$, 输入码范围 48 至 4047 (除非特别注明)

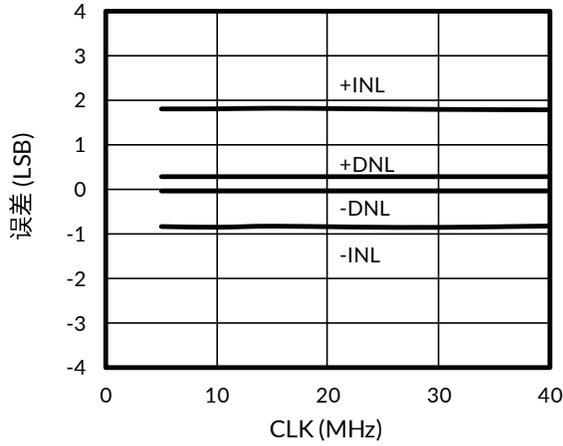


图 9. $V_A = 2.7\text{V}$ 时 INL/DNL 与 f_{SCLK} 的关系

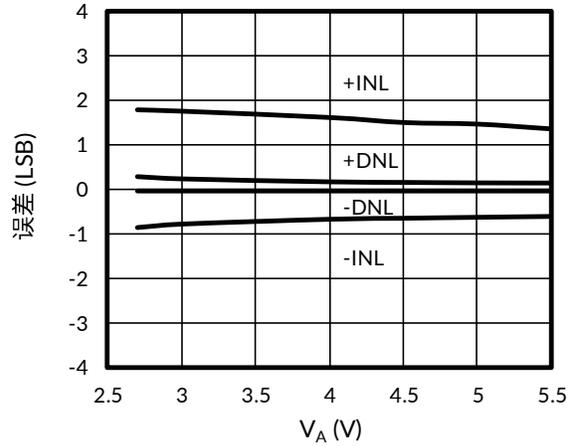


图 10. INL/DNL 与电源电压 (V_A) 的关系

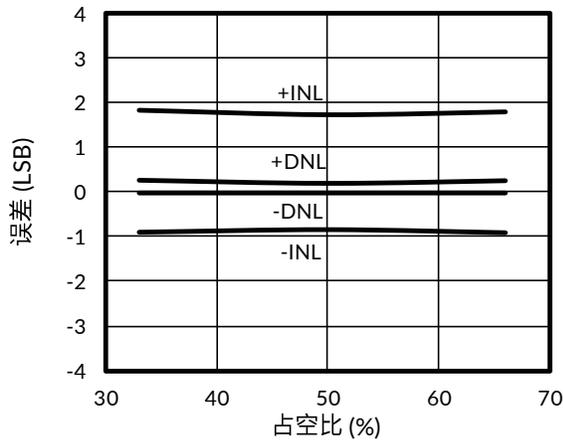


图 11. $V_A = 3\text{V}$ 时 INL/DNL 与时钟占空比的关系

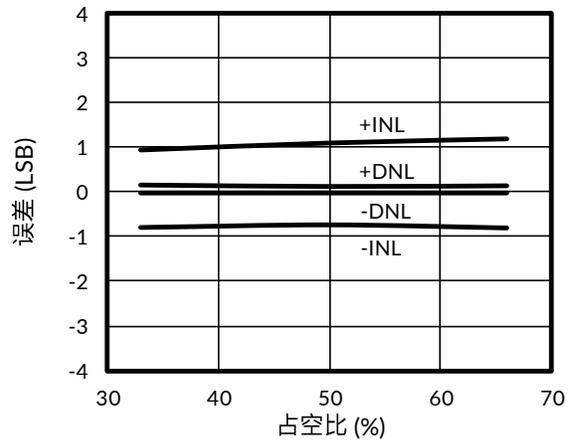


图 12. $V_A = 5\text{V}$ 时 INL/DNL 与时钟占空比的关系

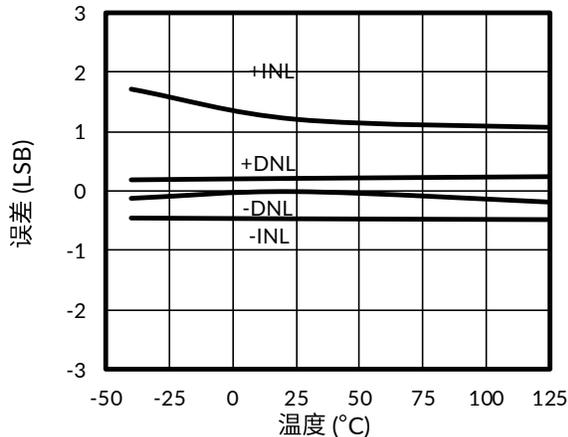


图 13. $V_A = 3\text{V}$ 时 INL/DNL 与温度的关系

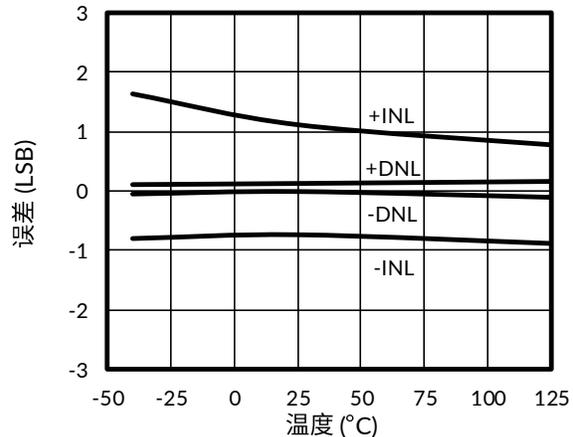


图 14. $V_A = 5\text{V}$ 时 INL/DNL 与温度的关系

典型参数曲线 (续)

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$T_A = 25^\circ\text{C}$, $V_{\text{REF}} = V_A$, $f_{\text{SCLK}} = 30\text{ MHz}$, 输入码范围 48 至 4047 (除非特别注明)

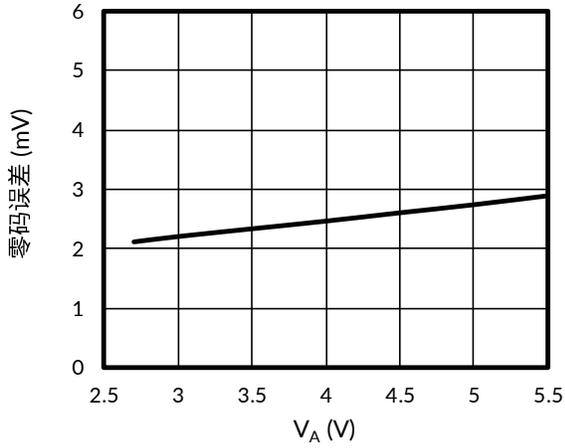


图 15. 零码误差与电源电压(V_A)的关系

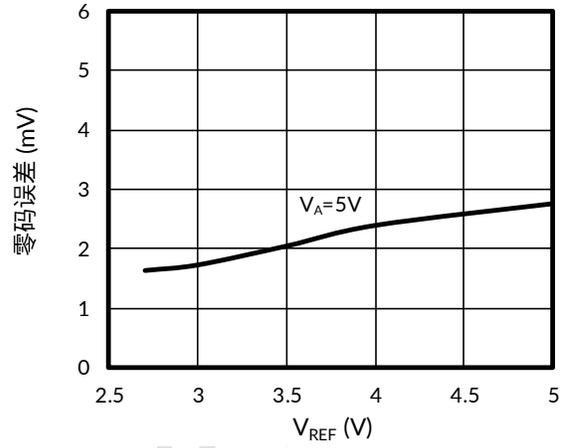


图 16. 零码误差与 V_{REFIN} 的关系

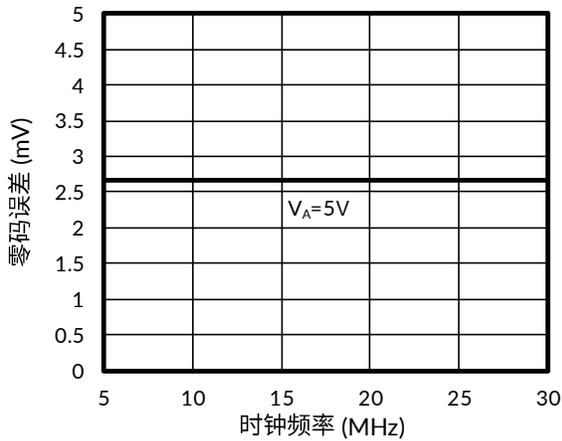


图 17. 零码误差与时钟频率(f_{SCLK})的关系

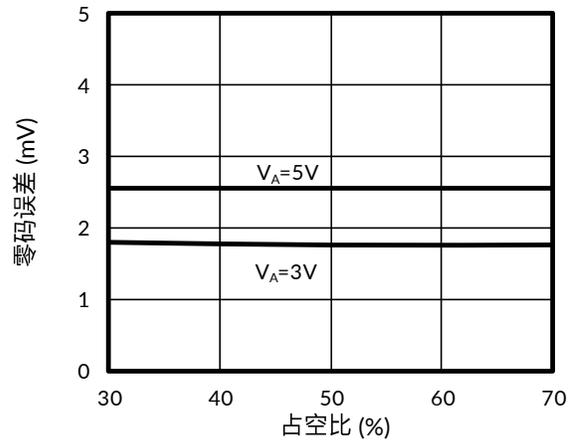


图 18. 零码误差与时钟占空比的关系

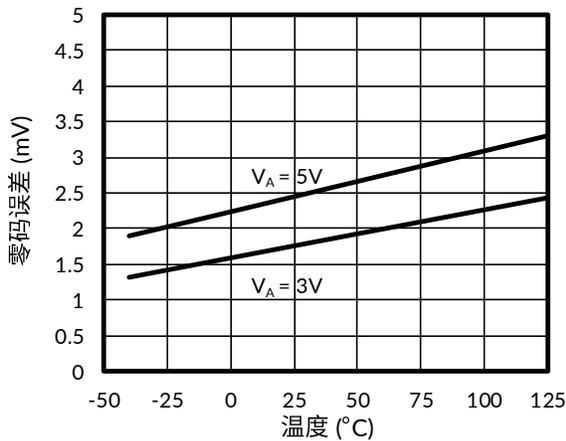


图 19. 零码误差与温度的关系

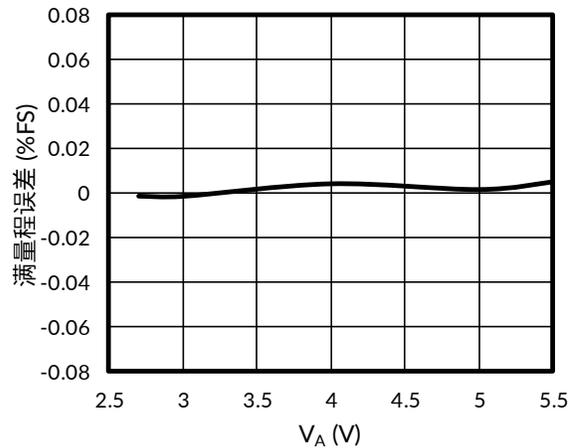


图 20. 满量程误差与电源电压(V_A)的关系

典型参数曲线 (续)

注意: 本说明后面提供的图表和表格是基于有限数量样本的统计摘要, 仅供参考。

$T_A = 25^\circ\text{C}$, $V_{\text{REF}} = V_A$, $f_{\text{SCLK}} = 30\text{ MHz}$, 输入码范围 48 至 4047 (除非特别注明)

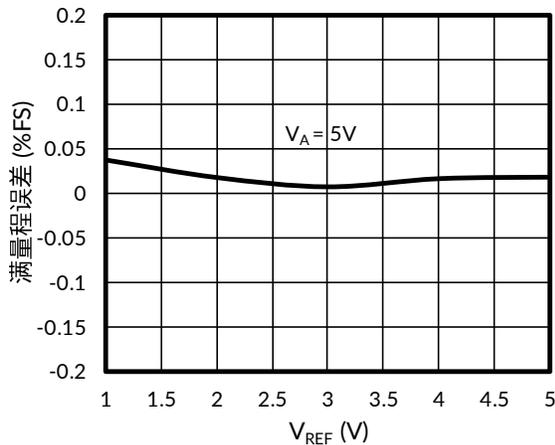


图 21. 满量程误差与 V_{REF} 的关系

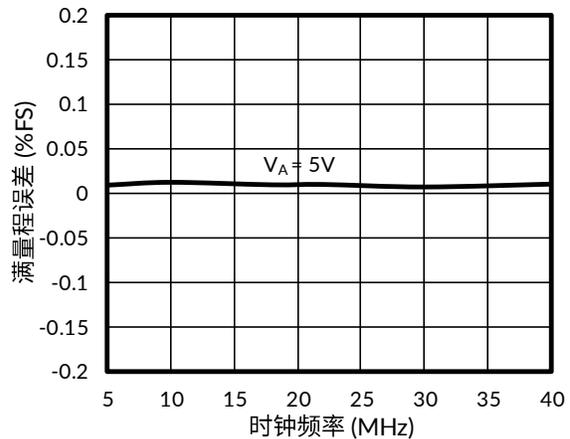


图 22. 满量程误差与时钟频率 (f_{SCLK}) 的关系

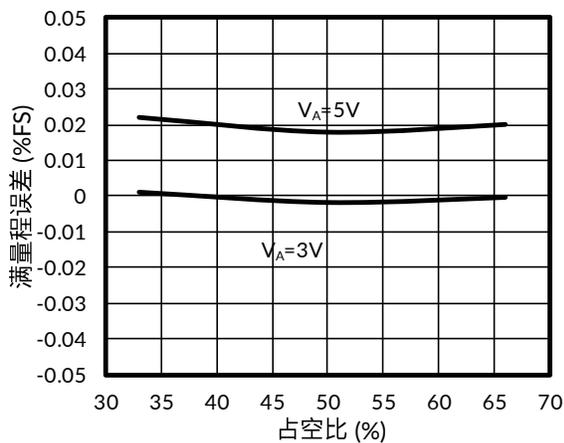


图 23. 满量程误差与时钟占空比的关系

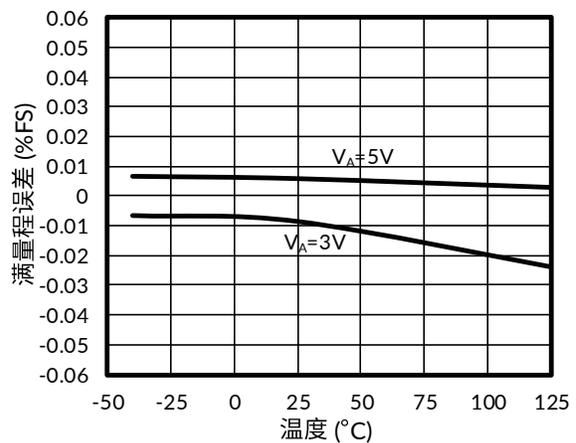


图 24. 满量程误差与温度的关系

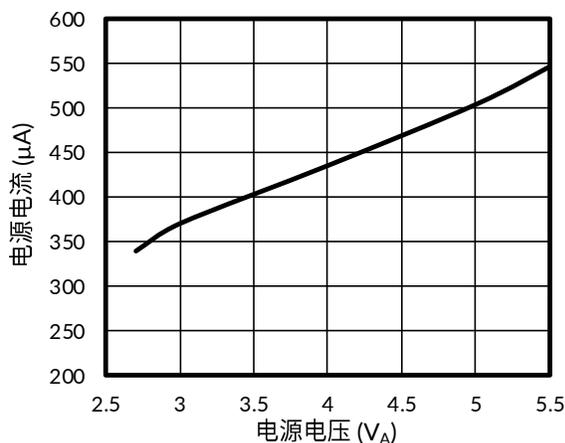


图 25. 电源电流与电源电压 (V_A) 的关系

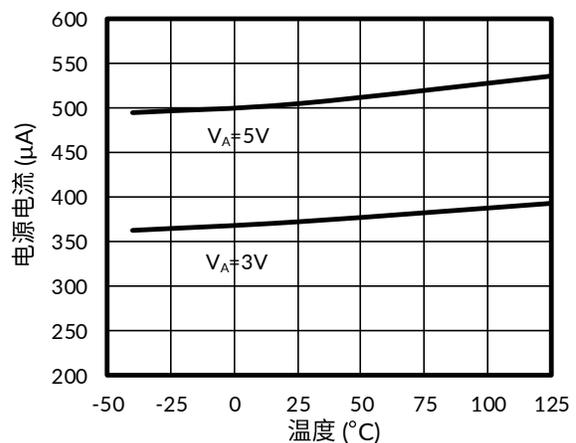


图 26. 电源电流与温度的关系

典型参数曲线（续）

注意：本说明后面提供的图表和表格是基于有限数量样本的统计摘要，仅供参考。

$T_A = 25^\circ\text{C}$, $V_{REF} = V_A$, $f_{SCLK} = 30\text{ MHz}$, 输入码范围 48 至 4047（除非特别注明）

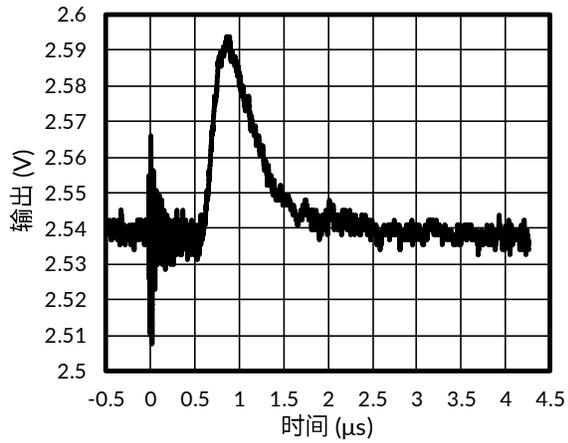


图 27. 5V 故障响应

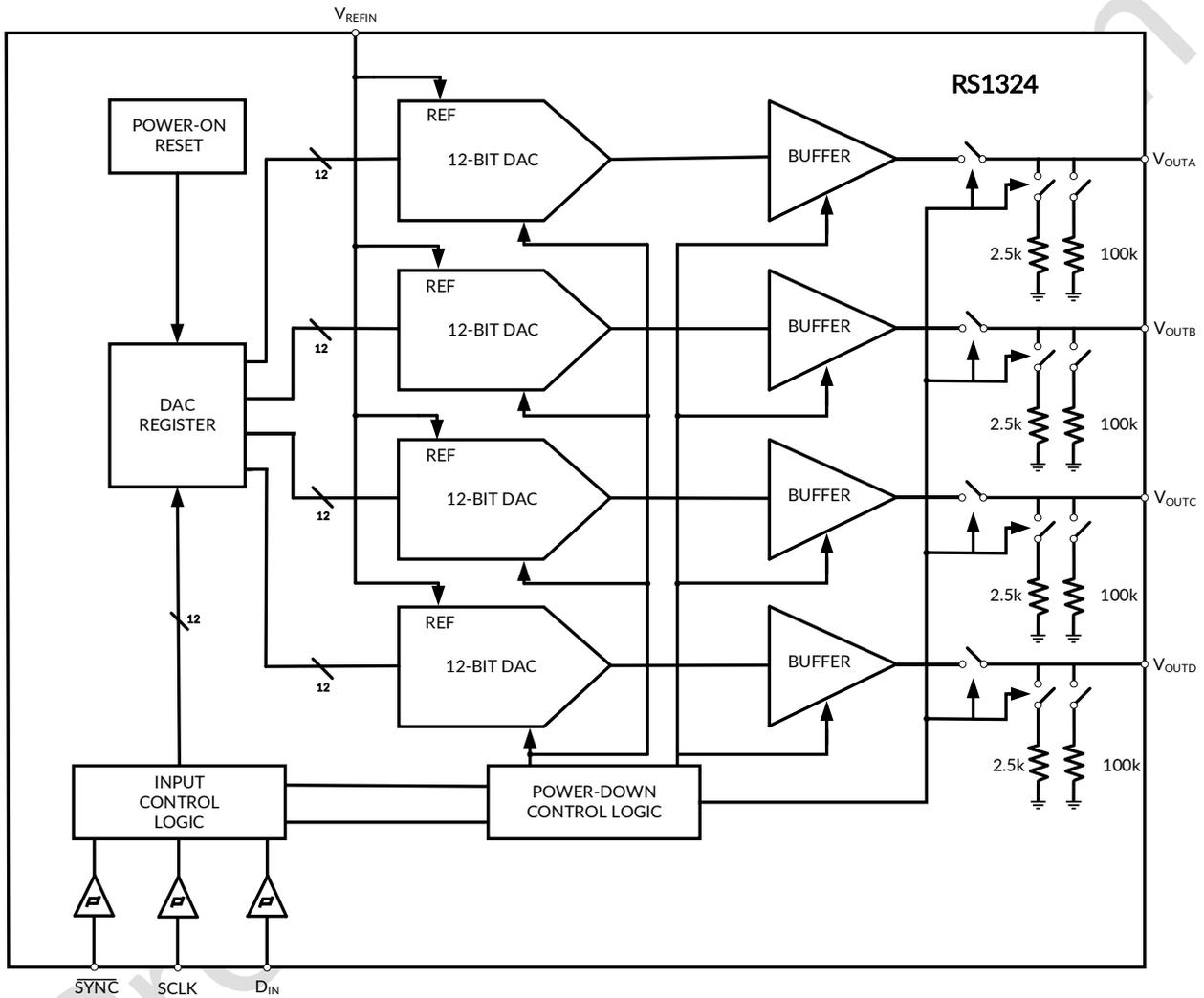
Preliminary version

8 详细说明

8.1 概览

RS1324 采用 CMOS 工艺制造，其架构包含开关和电阻串，后接输出缓冲器。

8.2 功能框图



8.3 特性说明

8.3.1 DAC 架构

为简化说明，图 28 展示了一个单电阻串结构。该电路由 4096 个等值电阻组成，每个电阻连接点处设有一个开关，并且还有一个接地开关。载入 DAC 寄存器的代码决定了闭合哪个开关，从而将正确的节点连接到放大器。输入代码采用纯二进制形式，其理想输出电压为：

$$V_{\text{OUTA,B,C,D}} = V_{\text{REFIN}} \times (D / 4096)$$

其中

- D 是载入 DAC 寄存器的二进制码对应的十进制数值 (1)

式中 D 为 0 至 4095 的任意整数值。此结构确保 DAC 具有单调性。

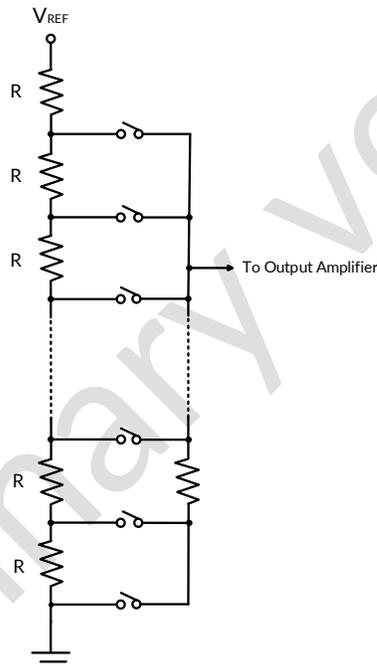


图 28. DAC 电阻串

8.3.2 输出放大器

输出缓冲放大器采用轨到轨设计，可提供 0V 至 V_A 的输出电压范围。所有放大器（包括轨到轨类型）在接近电源轨（本例中为 0V 和 V_A ）时都会出现线性度下降现象。因此，其线性度指标通常限定在小于其完整输出范围的区间内。但若参考电压低于 V_A ，则仅在最低码值处存在线性度下降。放大器的具体输出性能参数详见典型电气参数部分。

该放大器可驱动 $2\text{k}\Omega$ 与 1500pF 并联负载（对地或对 V_A ）。典型电气参数表中同时提供了给定负载电流下的零码和满量程输出参数。

8.3.3 参考电压

RS1324 采用单个外部参考电压，该电压由所有四个通道共享。参考引脚 V_{REFIN} 未内置缓冲器，其输入阻抗为 $30\text{k}\Omega$ 。RS 建议使用低输出阻抗的电压源驱动 V_{REFIN} 。参考电压范围为 1V 至 V_A ，可提供最大输出动态范围。

8.3.4 上电复位

上电复位电路在上电期间控制控制四个 DAC 的输出电压。在上电时，DAC 寄存器自动清零，输出电压锁定为 0V，并保持此状态，直到对 DAC 执行有效的写入操作。

8.4 器件功能模式

8.4.1 掉电模式

RS1324 具备四种掉电模式，其中两种完全相同。在掉电模式下，25°C 时 3V 的供电电流降至 0.06 μ A，5V 的供电电流降至 0.08 μ A。通过将 OP1 和 OP0 寄存器置为 11 位，即可将器件设置为掉电模式。由于该模式会关闭所有四个数模转换器（DAC），因此需通过地址位 A1 和 A0 来选择不同的输出端接方式。当 A1 和 A0 置为 00 或 11 时，输出端将处于高阻抗三态；若置为 01 或 10，则分别通过 2.5k Ω 或 100 μ A 的电阻将输出端接地（详见表 1）。

表 1. 掉电模式

A1	A0	OP1	OP0	工作模式
0	0	1	1	高阻态输出
0	1	1	1	2.5k Ω 接地
1	0	1	1	100k Ω 接地
1	1	1	1	高阻态输出

在任意掉电模式下，偏置发生器、输出放大器、电阻串和其他线性电路均完全断电。但是，DAC 寄存器的数值在掉电时不受影响，除非在写入序列期间发生改变，否则每个 DAC 寄存器都会保持断电前的数值。通过将 RS1324 电源关闭，并使 $\overline{\text{SYNC}}$ 和 DIN 保持低电平且 SCLK 禁用，可实现掉电模式下的最低功耗。退出掉电状态所需时间（唤醒时间）典型值为 t_{WU} ，具体参数见时序要求。

8.5 编程

8.5.1 串行接口

三线接口兼容 SPI、QSPI、MICROWIRE 以及大多数 DSP 的通信协议，并且在高达 40 MHz 的时钟速率下运行。写入序列信息详见时序要求。

写入序列的启动需要先将 $\overline{\text{SYNC}}$ 拉低。当 $\overline{\text{SYNC}}$ 处于低电平时，DIN 上的数据会在 SCLK 信号的下降沿被同步输入到 16 位串行输入寄存器中。为避免数据与时钟信号不同步进入移位寄存器，必须确保 $\overline{\text{SYNC}}$ 不会与 SCLK 信号的下降沿同时变低（参见图 2）。在第 16 个时钟下降沿，最后一位数据锁存完成，此时将执行预设功能（如改变 DAC 通道地址、工作模式或寄存器内容）。此时 $\overline{\text{SYNC}}$ 可保持低电平或拉至高电平，若需启动下一次写操作，必须在最低持续时间要求内将同步信号拉高，因其下降沿将触发新的写入周期。

由于 $\overline{\text{SYNC}}$ 和 DIN 缓冲器在高电平时功耗更高，因此必须在写入序列之间将其置于低电平闲置状态，以尽量减少功耗。

8.5.2 输入移位寄存器

如图 29 所示，输入移位寄存器为 16 位结构。前两位是地址位，用于确定寄存器数据对应 DACA、DACB、DACC 或 DACD。地址位后接两位用于指定操作模式（写入 DAC 寄存器但不更新四个 DAC 的输出、写入 DAC 寄存器并更新所有四通道输出、写入所有四个 DAC 寄存器并更新其输出，或关闭所有四通道输出）。移位寄存器的最后十二位是数据位，采用标准二进制格式（最高有效位 MSB 在前，最低有效位 LSB 在后），其中全 0 对应 0V 输出，全 1 对应满量程输出 $V_{REFIN}-1$ LSB。串行输入寄存器的内容会在 SCLK 信号第十六个下降沿传输至 DAC 寄存器。

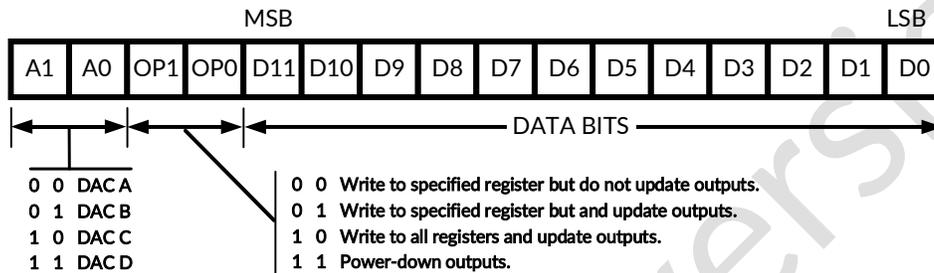


图 29. 输入寄存器内容

通常情况下， $\overline{\text{SYNC}}$ 信号维持低电平至少 16 个 SCLK 周期，此时 DAC 寄存器会在第 16 个 SCLK 下降沿完成更新。但若在第 16 个下降沿前将 $\overline{\text{SYNC}}$ 信号拉高，移位寄存器会被清空复位，导致写入序列失效。此时 DAC 寄存器不会更新，工作模式和输出电压均保持不变。

8.5.3 微处理器接口

图 30 显示了微处理器兼容设备与 RS1324 的接口连接方案。数据在 SK 信号的上升沿时钟输出，因此必须将微处理器的 SK 信号进行反相处理，然后才能驱动 RS1324 的 SCLK 引脚。

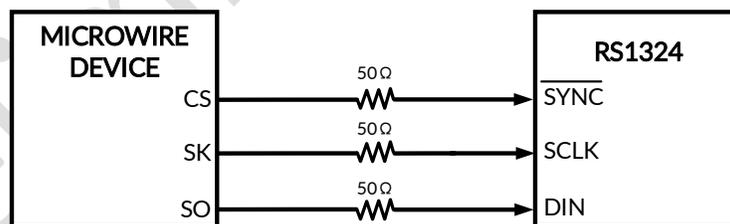
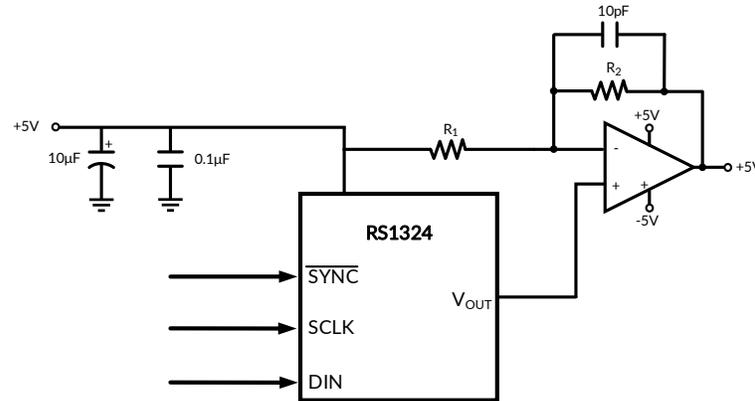


图 30. 微处理器接口

8.5.4 双极性操作

RS1324 设计用于单电源供电，默认输出单极性电压。但是，采用图 31 中的电路可以获得 $\pm 5V$ 双极性输出。如果放大器供电为 $\pm 5V$ ，则必须使用轨到轨运算放大器。


图 31. 双极性操作

8.5.4.1 设计要求

- RS1324 使用单电源。
- 输出要求为双极性，电压范围为 ±5 V。
- 输出放大器使用双电源。

8.5.4.2 详细设计程序

该电路对任意代码的输出电压可通过公式 2 计算得出：

$$V_O = (V_A \times (D / 4096) \times ((R1 + R2) / R1) - V_A \times R2 / R1) \quad (2)$$

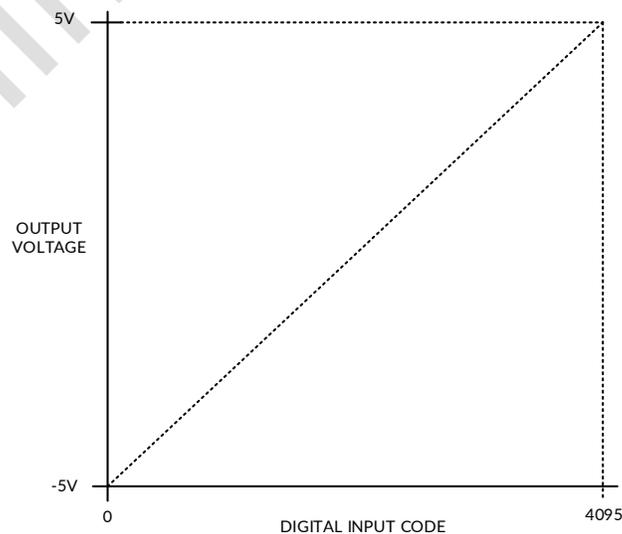
其中

- D 表示输入代码的十进制值。

公式 3 的计算中 $V_A = 5\text{ V}$ 且 $R1 = R2$,

$$V_O = (10 \times D / 4096) - 5\text{ V} \quad (3)$$

8.5.4.3 应用曲线


图 32. 双极性输入和输出传输特性

9 PCB 版图设计

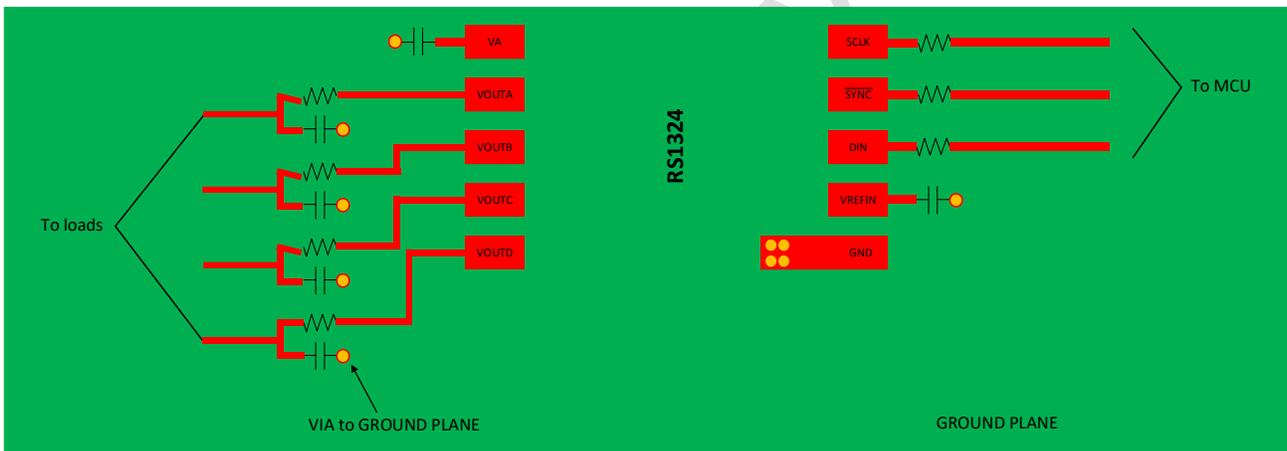
9.1 PCB 布局设计注意事项

为确保最佳精度和最小噪声，PCB 需划分独立模拟/数字区域。这两个区域由模拟与数字电源平面的位置共同界定，且必须位于同一布线层。优先采用单点接地层，但需确保数字回流路径不穿越模拟地区域。通常单点接地方案会采用隔离技术来防止模拟与数字地电流混合，但仅在隔离技术失效时才需单独设置接地平面。所有独立接地平面必须集中连接，最佳位置应靠近RS1324器件。需特别注意：严禁高速数字信号跨越分割地，其走线下方需保证完整回流路径。

RS1324 电源必须使用 $10\mu\text{F}$ 和 $0.1\mu\text{F}$ 电容器进行旁路，这两个电容器应尽可能靠近设备安装，其中 $0.1\mu\text{F}$ 电容器需紧贴设备的电源引脚。 $4.7\mu\text{F}$ 电容器必须选用钽电容，而 $0.1\mu\text{F}$ 电容器则需采用低 ESL（等效串联电感）和低 ESR（等效串联电阻）型陶瓷电容。RS1324 电源仅限用于模拟电路。

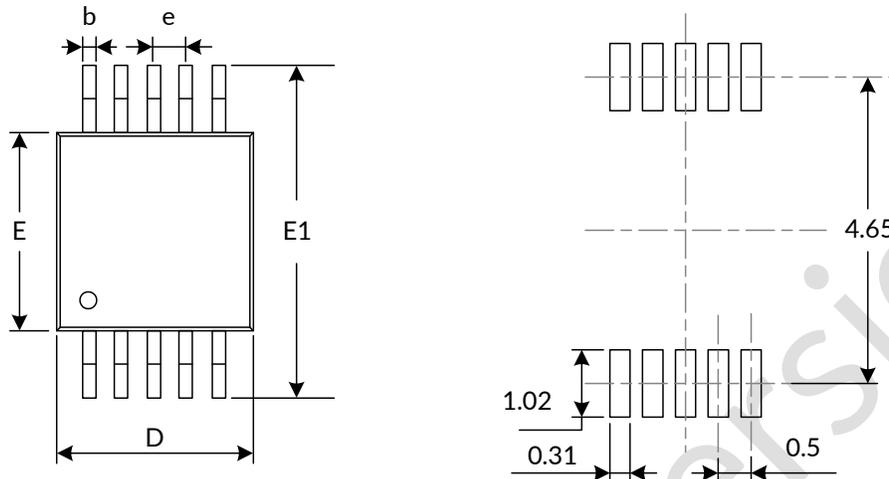
避免模拟信号和数字信号交叉，并将时钟线和数据线保留在板的组件侧。时钟线和数据线必须具有受控阻抗。

9.2 PCB 布局示意图

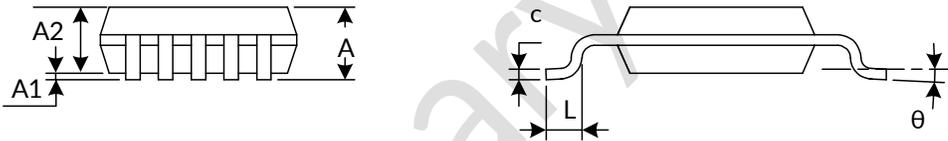


10 封装规格尺寸

MSOP10⁽³⁾



推荐焊盘尺寸 (单位: 毫米)



符号	尺寸 (单位: 毫米)		尺寸 (单位: 英寸)	
	最小值	最大值	最小值	最大值
A ⁽¹⁾	0.820	1.100	0.032	0.043
A1	0.020	0.150	0.001	0.006
A2	0.750	0.950	0.030	0.037
b	0.180	0.280	0.007	0.011
c	0.090	0.230	0.004	0.009
D ⁽¹⁾	2.900	3.100	0.114	0.122
e	0.50(BSC) ⁽²⁾		0.020(BSC) ⁽²⁾	
E ⁽¹⁾	2.900	3.100	0.114	0.122
E1	4.750	5.050	0.187	0.199
L	0.400	0.800	0.016	0.031
θ	0°	6°	0°	6°

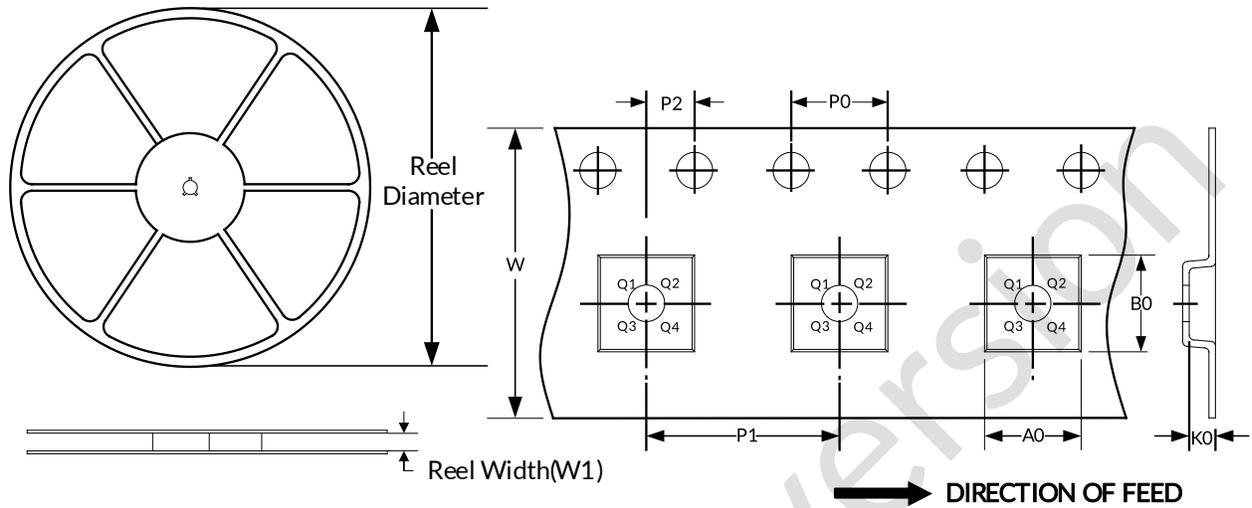
注意:

1. 不包括每侧最大 0.15mm 的塑封料或金属突起。
2. BSC (基本中心间距), “基本”间距为标称间距。
3. 本图如有更改, 恕不另行通知。

11 包装规格尺寸

卷盘尺寸

编带尺寸



注意：图片仅供参考。请以实物为标准。

关键参数表

Package Type	Reel Diameter	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
MSOP10	13"	12.4	5.20	3.30	1.20	4.0	8.0	2.0	12.0	Q1

注意：

1. 所有尺寸均为标称尺寸。
2. 不包括每边最大 0.15 毫米的塑封料或金属突起。

重要通知及免责声明

江苏 Runic 科技有限公司将准确可靠地提供技术和可靠性数据(包括数据表)、设计资源(包括参考设计)、应用或其他设计建议、WEB 工具、安全信息等资源, 不保证无任何缺陷, 也不作任何明示或暗示的保证, 包括但不限于适用性保证, 暗示其适用于特定目的的应用。且没有侵犯任何第三方的知识产权。

这些资源适用于使用 Runic 产品设计的熟练开发人员, 您将全权负责:(1)为您的应用程序选择合适的产品;(2)设计、验证和测试您的应用程序;(3)确保您的应用程序符合适用标准、安全标准或其他要求;(4) Runic 及 Runic 标识为 Runic Incorporated 的注册商标。所有商标均为其各自所有者的财产;(5) 对于发生改变的细节, 应查看修订文件中包含的修订历史。资源如有更改, 恕不另行通知。本公司对使用本芯片设计的终端产品的侵犯专利的行为或侵犯第三方知识产权的行为不承担任何连带责任。

Preliminary version